

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#3 priority
paper
10-27-00
2/2/00

3C710 U.S. PTO
09/613749
07/11/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 7月15日

出願番号

Application Number:

平成11年特許願第201609号

出願人

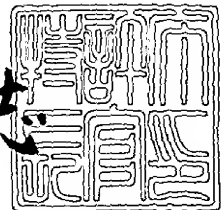
Applicant (s):

三菱電機株式会社

1999年 7月27日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3052825

【書類名】 特許願

【整理番号】 516791JP01

【提出日】 平成11年 7月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/80

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 鈴木 敏

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 國井 徹郎

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100102439

 【弁理士】

 【氏名又は名称】 宮田 金雄

【選任した代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【選任した代理人】

 【識別番号】 100092462

 【弁理士】

 【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1, 第 2 の主面を有する半導体基板と、

この半導体基板の第 1 の主面に配設された活性領域と、

この活性領域に配設された第 1 の半導体素子であって、チャンネル幅の延長方向が互いのチャンネル幅の一端側で直交する第 1, 第 2 のチャンネル領域、この第 1, 第 2 のチャンネル領域に隣接しこれら第 1, 第 2 のチャンネル領域を挟んで互いに対向し上記活性領域表面にオーミック接続して配設された第 1 のソース電極と第 1 のドレイン電極、および上記第 1, 第 2 のチャンネル領域の表面上に配設されそれぞれのチャンネル領域に隣接する上記第 1 のソース電極と第 1 のドレイン電極に沿って屈曲した第 1 のゲート電極を有する第 1 の半導体素子と、

この第 1 の半導体素子に隣接して上記活性領域に配設された第 2 の半導体素子であって、上記第 1 のソース電極または第 1 のドレイン電極のいずれか一方を介して上記第 1, 第 2 のチャンネル領域に隣接して配設された第 3, 第 4 のチャンネル領域、この第 3, 第 4 のチャンネル領域を挟んで上記第 1 のドレイン電極または第 1 のソース電極と互いに対向し上記活性領域表面にオーミック接続して配設された第 2 のソース電極または第 2 のドレイン電極、及び上記第 3, 第 4 のチャンネル領域の表面上に配設され上記第 1 のソース電極または第 1 のドレイン電極に沿って屈曲し、第 1 のゲート電極と上記第 1 のソース電極または第 1 のドレイン電極を共有する第 2 のゲート電極とを有し、上記第 2 のゲート電極が第 1 のゲート電極と上記第 1 のソース電極または第 1 のドレイン電極を共有してなる第 2 の半導体素子と、

を備えた半導体装置。

【請求項 2】 ソース電極およびドレイン電極がそれぞれ帯状に配設されるとともに、それぞれのゲート電極の屈曲部を横一線に並列して半導体素子が配設されたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 ソース電極上に配設されたソース引出配線、このソース引出配線が複数接続されたソース共通配線、ドレイン電極上に配設されたドレイン引

出配線、およびこのドレイン引出配線が複数接続されたドレイン共通配線、およびゲート電極が複数接続されたゲート共通配線をさらに備え、

ドレイン共通配線が、活性領域を介してソース共通配線およびゲート共通配線と互に対向して配設されるとともにソース引出配線がゲート共通配線をまたぐエアブリッジ構造を介してソース共通配線に接続されたことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 ゲート電極の屈曲部に対向する半導体基板の表面に絶縁領域を配設したことを特徴とする請求項 1 ないし 3 のいずれか一項に記載の半導体装置。

【請求項 5】 半導体基板の第 2 の主面上に配設された導電体膜をさらに備え、ソース電極が四辺形をなしこのソース電極内に設けられたバイアホールを介して上記導電膜に接続されるとともに、第 1、第 2 のチャンネル領域に隣接するソース電極が上記四辺形の連続する二辺の周縁部としてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 ゲート電極の屈曲部に対向する半導体基板の表面に絶縁領域が配設されたことを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 絶縁領域によりチャンネル幅がソース電極の幅よりも狭くされたことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 第 1 のゲート電極が交互に逆方向に開いた屈曲部を介して一方向に延長されるとともに、第 2 のゲート電極が上記第 1 のゲート電極と並行して延長されたことを特徴とする請求項 5 ないし 7 のいずれか一項に記載の半導体装置。

【請求項 9】 第 1、第 2 のゲート電極が並行して配設され、それぞれのゲート電極がそれらの屈曲部に配設された共通のパッドに接続されたことを特徴とする請求項 5 ないし 7 のいずれか一項に記載の半導体装置。

【請求項 10】 半導体が等方性の化合物半導体であることを特徴とする請求項 1 ないし 9 のいずれか一項に記載の半導体装置。

【請求項 11】 第 1 の主面に活性領域が形成された半導体基板を準備する工程と、

この半導体基板の活性領域に、チャネル幅の延長方向が互いのチャネル幅の一端側で直交する複数の第1、第2のチャネル領域を設け、この第1、第2のチャネル領域の表面上に、それぞれの第1、第2のチャネル領域に沿って屈曲した複数のゲート電極を形成する工程と、

それぞれのゲート電極に沿い第1、第2のチャネル領域を挟んで互いに対向するソース電極およびドレイン電極を交互に形成する工程と、
を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に係り、特にゲートを直交する方向に屈曲し、これに対応して素子の構成や配置を行うことにより、高出力でチップサイズを縮小化できる半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】

GaAsに代表される化合物半導体を用いた電界効果トランジスタ（以下、FETという。）は、優れた高周波特性と高出力特性が得られることから衛星通信や移動体通信用送受信機器のキーデバイスとして用いられている。

これらのデバイスに対し、高度情報化社会の進展に伴って、さらなる小型化と低コスト化、高性能化が求められている。

【0003】

図17は移動体通信などの送信用増幅器に用いられる従来のディスクリート型高出力FETの平面図である。また、図18は図17の従来のディスクリート型高出力FETのXVII-XVII断面における断面図である。

この構造は、基板厚みを薄くして裏面に厚いヒートシンク用金めっきを施し熱抵抗を低減しているが、バイアホールはFETの外部に設けているもので、更に複数のユニットFETを並列に接続し総ゲート幅を増大させてFETの高出力化を図ったもので、以下マルチフィンガー単純PHS (plated heat sink)型FETと称する。

【0004】

図17及び図18において、200は高出力FET、202は半絶縁性GaAs基板、204は絶縁注入領域、206は活性領域、208はゲート電極でゲートフィンガーともいう。

210はソース配線、210fは、ソース配線210のエアブリッジ部であり、212はドレイン配線、214はゲートパッド、216はソースパッド、218はドレインパッド、220はバイアホール（以下、V/Hという）、222はゲートフィーダ部、224はドレインフィーダ部、図18において226はソース電極、228ドレイン電極、230はチャネル領域で、232は裏面のAuメッキ層である。

図17に示された高出力FET200は、1～2GHz帯の100Wを出力する増幅器に使用する総ゲート幅Wgtがほぼ100mmクラスのFETチップで、単位ゲート幅を900 μ mとすると、ゲートフィンガー208の総数が100本以上といった構造である。ここで総ゲート幅Wgtは $Wgt = n$ （フィンガー数） \times Wgu（単位ゲート幅）で求められる値である。

【0005】

図19は他の従来例であるヒートシンク構造を有する高出力FETの平面図である。また、図20は図19の従来例の高出力FETのXX-XX断面における断面図である。図19及び図20において、図17及び図18と同じ符号は同じか又は相当の部分であることを示す。

図19及び図20において、250は高出力FETである。この高出力FET250は、10～20GHz帯の1Wを出力する総ゲート幅Wgtが1.5mmクラスのFETチップである。

【0006】

一般に、高周波帯で用いられるゲート幅の大きな高出力FETは、FETから発生する熱を逃がすため、基板厚を薄くし、裏面に厚いヒートシンク用のAuメッキ層232を施して熱抵抗を低減する構造を用いる。また、このAuメッキ層232を裏面接地電極として用い、島状のソース電極226と裏面のAuメッキ層232をV/H220を介してソース配線210で接続することで、ソース電

極 226 をその近傍から接地することができ、寄生インダクタを低減することが可能である。以下この構造の FET を SIV (Source Island Via-hole) 構造 FET と称する。

【0007】

特に、図 19 に示す高出力 FET 250 は、単位 FET 素子のすべてのソース電極 226 をソース電極 226 の中央部に開口した V/H 220 を介して裏面接地電極としての Au メッキ層 232 に接続した構造は、熱抵抗を大幅に低減でき、かつ寄生インダクタを大幅に低減することが可能であり、高周波帯における高出力用 FET の構造として有利である。

【0008】

【発明が解決しようとする課題】

従来の半導体装置は上記のように構成されていて、図 17 の半導体装置 200 の構造では、チップ面積の大部分を高出力 FET 200 の動作層領域すなわち、ソース電極 226、ドレイン電極 228、及びソース電極 226 とドレイン電極 228 に挟まれたチャネル領域 230 が占める。

【0009】

FET チップ 200 や FET チップ 250 の高出力化には、最大ドレイン電流 I_{Fmax} 、ゲート・ドレイン間耐圧 V_{gdo} の向上が必要であり、後者のゲート・ドレイン間耐圧 V_{gdo} の向上は単位 FET 素子の高出力化に係るものであるが、最大ドレイン電流 I_{Fmax} の増大にはまず総ゲート幅 W_{gt} を増大させることである。

【0010】

このため、総ゲート幅 W_{gt} を増大しようとする、単位 FET 素子の数を増やすこと及び単位 FET 素子のゲート幅を長くすることが必要であり、その出力の増大の程度に応じてチップサイズが増大してしまう。

単位 FET 素子の動作層領域のうちゲートフィンガの面積はわずかであり、動作層領域の大部分をソース電極 226 とドレイン電極 228 が占めている。このため動作層領域の面積を縮小して活性領域 206 を縮小し、延いてはチップサイズの縮小化を図るためには、単位ソース電極幅・単位ドレイン電極幅は単位ゲート電極幅と同程度必要であることを考慮すると、(1) 単位ソース電極長・単位

ドレイン電極長を短くしてソース・ドレイン電極長方向の動作層領域寸法の縮小化することや(2)単位ゲート電極幅方向の動作層領域寸法の縮小化、が最も有効な手段である。

【0011】

しかしながら、ソース・ドレインには大きな電流が流れる。例えば動作時にはソース・ドレインには交流電流が流れ、ゲート電極幅当たりの平均電流は、約200mA/mm程度となる。このためソース電極226のソース電極長さ、ドレイン電極228のドレイン電極長さおよびソース配線210の幅(図18ではこれはソース電極長さに相当する。)、ドレイン配線212の幅(図18ではこれはドレイン電極長さに相当する。)は許容電流量により制限される。

【0012】

この許容電流量は、ソース電極226およびドレイン電極228が形成されているところでは、ソース電極226とソース配線210、またはドレイン電極228とドレイン配線212の2層からなる構造であるので電流量は比較的大きくとれるのに対し、ソース配線210の特にエアブリッジ部210fはソース配線層210と同じ厚みの配線層1層のみからなり2層構造部分よりも電流量を大きくできないために、許容電流量から定められるソース配線層210の幅はこのエアブリッジ部210fが最も広く必要で、このエアブリッジ部210fでソース配線層210の幅が決定される。

【0013】

また、エアブリッジ部210fのソース配線層210の厚みは数 μ mの厚さであり、これを形成するためのレジスト厚みも厚くなり、パターン形成上エアブリッジ部210fの相互の間隔を従来より狭くすることも困難である。

従って、マルチフィンガー単純PHS型の高出力FET200では、エアブリッジ部210fとソース配線層210とが一直線で接続された従来パターンでは、ソース電極226のソース電極長はエアブリッジ部210fの許容電流量で決定されるソース配線層210の配線幅により制限され、さらにエアブリッジ部210fの相互の間隔は形成プロセス上の制約により制限されており、ソース電極226のソース電極長及び単位FET素子を配置する間隔を現状の寸法以下に縮

小化することは困難であり、現状のパターン配置のまま高出力 FET チップのチップサイズ縮小化には限界があった。

【0014】

また図 19 に示された SIV 構造の高出力 FET 250 においては、個々のソース電極 226 に V/H を形成するためには、個々のソース電極 226 の面積を大きくしておく必要がある。そしてさらに高出力 FET 250 の高出力化を図っていく場合には、総ゲート幅 Wgt を増大しなければならず、その出力の増大の程度に応じてソース電極 226 の個数が増大し、これによってチップ面積が増大してしまうという問題があった。

【0015】

この発明は上記の問題点を解消するためになされたもので、第 1 の目的は、デザインルールを変更することなくチップ面積が小さく高出力な半導体装置を得ることであり、第 2 の目的は小形で高出力な FET を簡単な工程で製造する製造方法を提供することである。

【0016】

なおヒートシンク構造を有する高出力 FET に関して、特公平 7-77265 号公報および特公平 8-21598 号公報の公知文献があるが、これらの公知文献には個々の素子の配置を勘案して半導体装置の小形化を図ることについては記載されていない。

【0017】

【課題を解決するための手段】

この発明に係る半導体装置は、第 1、第 2 の主面を有する半導体基板と、この半導体基板の第 1 の主面に配設された活性領域と、この活性領域に配設された第 1 の半導体素子であって、チャネル幅の延長方向が互いのチャネル幅の一端側で直交する第 1、第 2 のチャネル領域、この第 1、第 2 のチャネル領域に隣接しこれら第 1、第 2 のチャネル領域を挟んで互いに対向し活性領域表面にオーミック接続して配設された第 1 のソース電極と第 1 のドレイン電極、および第 1、第 2 のチャネル領域の表面上に配設されそれぞれのチャネル領域に隣接する第 1 のソース電極と第 1 のドレイン電極に沿って屈曲した第 1 のゲート電極を有する第 1

の半導体素子と、この第1の半導体素子に隣接して活性領域に配設された第2の半導体素子であって、第1のソース電極または第1のドレイン電極のいずれか一方を介して第1、第2のチャネル領域に隣接して配設された第3、第4のチャネル領域、この第3、第4のチャネル領域を挟んで第1のドレイン電極または第1のソース電極と互いに対向し活性領域表面にオーミック接続して配設された第2のソース電極または第2のドレイン電極、及び第3、第4のチャネル領域の表面上に配設され第1のソース電極または第1のドレイン電極に沿って屈曲し、第1のソース電極または第1のドレイン電極を第1のゲート電極と共有する第2のゲート電極を有し、第2のゲート電極が第1のゲート電極と第1のソース電極または第1のドレイン電極を共有してなる第2の半導体素子と、を備えたもので、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができる。

【0018】

さらに、ソース電極およびドレイン電極がそれぞれ帯状に配設されるとともに、それぞれのゲート電極の屈曲部を横一線に並列して半導体素子を配設したもので、マルチフィンガー単純PHS型FETにおいて、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができる。

【0019】

さらに、ソース電極上に配設されたソース引出配線、このソース引出配線が複数接続されたソース共通配線、ドレイン電極上に配設されたドレイン引出配線、このドレイン引出配線が複数接続されたドレイン共通配線、およびゲート電極が複数接続されたゲート共通配線をさらに備え、ドレイン共通配線が、活性領域を介してソース共通配線およびゲート共通配線と互いに対向して配設されるとともにソース引出配線がゲート共通配線をまたぐエアブリッジ構造を介してソース共通配線に接続されたもので、電気的動作の不均一性を少なくすることができる。

【0020】

またさらに、ゲート電極の屈曲部に対向する半導体基板の表面に絶縁領域を配設したので、ゲート電極の屈曲部に対向する半導体基板の表面の電界集中を抑制することができる。

【0021】

また、半導体基板の第2の主面上に配設された導電体膜をさらに備え、ソース電極が四辺形をなしこのソース電極内に設けられたバイアホールを介して導電膜に接続されるとともに、第1, 第2のチャンネル領域に隣接するソース電極が四辺形の連続する二辺の周縁部としてなることにより、SIV構造FETにおいて、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができ、かつソース電極の面積を小さくでき、高密度に半導体素子を配設できる。

【0022】

さらにゲート電極の屈曲部に対向する半導体基板の表面に絶縁領域を配設したので、ゲート電極の屈曲部に対向する半導体基板の表面の電界集中を抑制することができる。

【0023】

さらに、絶縁領域によりチャンネル幅をソース電極の幅よりも狭くしたので、ソース電極の連続する二辺の隅部を2素子で共有しないようにし、この隅部を電氣的に中性にすることができる。

【0024】

また、さらに第1のゲート電極が交互に逆方向に開いた屈曲部を介して一方向に延長されるとともに、第2のゲート電極が上記第1のゲート電極と並行して延長されたので、ゲートパッドとドレインパッドを半導体基板の同じ主面に形成できて半導体装置の構成が簡単になる。

【0025】

また、さらに第1, 第2のゲート電極が並行して配設され、それぞれのゲート電極がそれらの屈曲部に配設された共通のパッドに接続されたので、共通のパッドを引出しパッドとすることにより、単位のゲート幅を個々の素子のゲート幅とすることができるので、単位のゲート幅を長くすることに起因する増幅特性の劣化を回避することができる。

【0026】

また、さらに半導体を等方性の化合物半導体としたので、化合物半導体を用いた半導体装置において、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができる。

【0027】

また、この発明に係る半導体装置の製造方法は、第1の主面に活性領域が形成された半導体基板を準備する工程と、この半導体基板の活性領域に、チャネル幅の延長方向が互いのチャネル幅の一端側で直交する複数の第1、第2のチャネル領域を設け、この第1、第2のチャネル領域の表面上に、それぞれの第1、第2のチャネル領域に沿って屈曲した複数のゲート電極を形成する工程と、それぞれのゲート電極に沿い第1、第2のチャネル領域を挟んで互いに対向するソース電極およびドレイン電極を交互に形成する工程と、を含むので、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くした半導体装置を簡単な工程で製造することができる。

【0028】

【発明の実施の形態】

実施の形態1

この実施の形態1は、ディスクリート型高出力FETであるマルチフィンガー単純PHS型FETにおいて、ユニット素子が並列する方向に対して45°傾けてユニット素子のゲート電極を延長することにより、ゲート電極幅は短くせずに、ゲート幅方向の活性領域の長さを短くし、延いては活性領域の面積を縮小したものである。

【0029】

図1はこの発明に係る半導体装置の平面図である。また図2はこの発明に係る半導体装置の要部を拡大した平面図、図3は図2のIII-III断面における半導体装置の一部断面図である。

図1に示されたマルチフィンガー単純PHS型FETは、移動体通信などの送信増幅器に用いられる1~2GHz帯の100Wを出力する増幅器に使用するFETチップである。

【0030】

このFETチップは総ゲート幅 W_{gt} がほぼ100mmクラスで、単位ゲート幅を900 μ mとすると、ゲートフィンガーの総数が100本以上といった構造である。

また、このFETチップの動作時にソース・ドレインを流れる電流は、ゲート電極幅当たりの平均電流で評価すると、約200mA/mm程度である。

【0031】

図1、図2及び図3において、10はFETチップ、12は等方性の半絶縁性GaAs基板、14は絶縁領域、16は活性領域である。半絶縁性GaAs基板12を使用した場合、活性領域16は半絶縁性GaAs基板12にイオン注入を行って形成する。活性領域16としてn-GaAs層を形成する場合には、注入元素として例えばSiを使用し、p-GaAs層を形成する場合には、注入元素として例えばMgを使用する。

【0032】

また活性領域16として半絶縁性GaAs基板12上に形成されたn-GaAsのエピタキシャル層を使用する場合には、絶縁領域14は例えばプロトン(H⁺)の絶縁注入を行って形成する。絶縁注入の深さは能動層の厚さ以上で、通常は半絶縁性GaAs基板12に到達する深さである。

【0033】

18はゲート電極でゲートフィンガともいう。ゲート電極の材料はAl系材料を用いる。図2における18a、18bは隣接する素子のゲート電極である。

20はソース配線でAuメッキ層で形成されている。20fはソース配線20のエアブリッジ部であり、エアブリッジ部20fはAuメッキ層のみで形成されている。このエアブリッジ部20fの幅はここを流れる許容電流量とAuメッキ層の厚みで決まるものであるが、8.5μ程度の寸法である。

【0034】

22はドレイン配線でAuメッキ層で形成されている。ソース配線20とドレイン配線22の幅、特にソース配線20の幅はエアブリッジ部20fの幅によって決定され、エアブリッジ部20fの幅の1/√2程度となる。従ってソース配線20とドレイン配線22の幅はともに6μm程度である。

【0035】

24はゲートパッド、26はソースパッド、28はドレインパッド、30はV/H、32はゲートフィード部、34はドレインフィード部である。

図3における36はソース電極で、このソース電極36のソース電極長は6 μ m程度である。38はドレイン電極で、このドレイン電極38のドレイン電極長は6 μ m程度である。ソース配線20とドレイン配線22の幅とそれぞれ同じ程度にしてある。ソース電極36及びドレイン電極38はともにオーム性電極材料で形成され、例えばAuGe系材料が使用される。

【0036】

40はチャネル領域で、チャネル長さは6 μ mである。42は半絶縁性GaAs基板10の裏面側に設けられた裏面Auメッキ層で、ヒートシンク及び接地電極となる。

44はユニット素子で、一つのゲート電極18とゲート電極18がその表面上に設けられたチャネル領域40とこのチャネル領域40の両側に互いに対向して設けられたそれぞれ一つのソース電極36及びドレイン電極38とで構成される。

図2では破線で囲って示されている。

【0037】

FETチップ10は次のように構成されている。

半絶縁性GaAs基板10の表面に絶縁領域14に囲まれた横長の矩形の活性領域16が設けられ、この活性領域16の長辺に沿って、ユニット素子44が複数個並列している。

ユニット素子44のチャネル領域40は、直線状に形成された第1のチャネル領域としての部分40a、第2のチャネル領域としての部分40b、さらにもう一つの部分40cの三つの部分が連続して交互に逆方向に90°屈折して形成されている。

【0038】

ユニット素子44のゲート電極18aは、チャネル領域40の表面に上に、90°をなした屈曲部46a、46bを介してチャネル領域40a、40b、40cに沿って三重に折れ曲がって活性領域16の短辺に沿って延長し、このユニット素子44のゲート電極18aの両端の中軸線は活性領域16の長辺と45°で交差している。

【0039】

このゲート電極18aに並行に、チャネル領域40a、40b、40cのチャネル長さ方向の両端にユニット素子44のソース電極36及びドレイン電極38が活性領域16の表面にオーミック接続して設けられている。ユニット素子44のソース電極36とゲート電極18の間隔は $2.5\mu\text{m}$ 、同じくドレイン電極38とゲート電極18の間隔は $3.5\mu\text{m}$ である。

【0040】

このFETチップ10では活性領域16の短辺はほぼ $900\mu\text{m}$ であり、短辺に沿って $300\mu\text{m}$ ごとに屈曲部46a、46bが設けられている。この屈曲部46aと46bは逆の方向に開いた屈曲部をなしている。このために活性領域16の短辺を同じ長さにしておいた場合にゲート幅が $\sqrt{2}$ 倍になる。

ソース電極36とドレイン電極38の表面には全長にわたって引出配線としてのソース配線20、ドレイン配線22が設けられている。ソース電極36及びドレイン電極38がゲート電極18に並行に設けられているので、ソース配線20およびドレイン配線22の中軸線もまた活性領域16の長辺と 45° で交差している。

【0041】

第1の半導体素子としての一つのユニット素子44に隣接して、ソース電極36またはドレイン電極38を共有することにより、第2の半導体素子としてのもう一つのユニット素子44が活性領域の長辺に沿う方向に並列している。第2のユニット素子44のチャネル領域40d、40e、40fは三重に屈曲し、このチャネル領域40d、40e、40f上に、ゲート電極18bが設けられ、ゲート電極18aとゲート電極18bはドレイン電極38を共有している。

さらに第2のユニット素子44に並列に、ソース電極36またはドレイン電極38を共有して多数のユニット素子44が連続的に並列して一つのFETチップ10を構成している。

【0042】

活性領域16の長辺に沿って配設された多数のユニット素子44を介して活性領域16の両側の長辺に沿ってゲートフィーダ部32とドレインフィーダ部34

が設けられており、ゲートフィード部 32 には複数のゲートパッド 24 が、またドレインフィード部 34 には複数のドレインパッド 28 が所定のユニット素子数毎に設けられている。

【0043】

ゲート電極 18 はそれぞれゲートフィード部 32 に、またドレイン配線 22 はドレインフィード部 34 と接続されている。

またゲートフィード部 32 と複数のゲートパッド 24 が設けられた側には、複数のソースパッド 26 が設けられており、所定の数のソース配線 20 がエアブリッジ部 20f でゲートフィード部 32 を跨いでソースパッド 26 に接続されている。エアブリッジ部 20f は活性領域 16 の長辺に直交しており、このためにエアブリッジ部 20f の中軸線はゲート電極 18 に並行しているソース配線 20 の中軸線と 45° の交差角で交差し、ソース配線 20 の幅はエアブリッジ部 20f の幅の $1/\sqrt{2}$ となり、この寸法でソース配線 20 とエアブリッジ部 20f が接続されている。

【0044】

ソースパッド 26 には $V/H30$ が設けられており、半絶縁性 GaAs 基板 12 の裏面側に設けられた裏面 Au メッキ層 42 に導電的にまた伝熱的に接続されている。

次に FET チップ 10 の製造方法について説明する。

まず半絶縁性 GaAs 基板 12 に活性領域 16 を形成する。活性領域 16 の形成は、半絶縁性 GaAs 基板 12 にイオン注入により n -GaAs 領域を形成してもよいし、半絶縁性 GaAs 基板 12 上に能動層としての厚さ程度に n -GaAs 層をエピタキシャル成長により形成し、活性領域 16 の周りに絶縁注入を行って、活性領域 16 を形成してもよい。

【0045】

次に活性領域 16 にユニット素子 44 のソース電極 36・ドレイン電極 38 を AuGe で形成し、熱処理によって合金化処理を行う。これによりソース電極 36・ドレイン電極 38 と活性領域 16 との接触領域に n^+ 層が形成され、オーム性接続が形成される。

次いでゲート電極 18 を、ソース電極 36 ・ドレイン電極 38 間のチャネル領域 40 に A1 系材料で形成する。

【0046】

次に引き回し配線、すなわちエアブリッジ部 20f を除くソース配線 20、ドレイン配線 22、ゲートフィード部 32、ドレインフィード部 34、ゲートパッド 24、ソースパッド 26、ドレインパッド 28、を Au メッキ層で形成する。

次いで、ソース配線 20 のエアブリッジ部 20f を橋脚部（図示せず）のパターンとブリッジ部（図示せず）のパターンを 2 層のレジストで別々に形成し、公知の選択メッキ法を用いて形成する。

【0047】

更に半絶縁性 GaAs 基板 12 の裏面から、半絶縁性 GaAs 基板 12 を薄層化するとともにソースパッド 26 に対向して裏面からソースパッド 26 が露呈するまで穿孔し、半絶縁性 GaAs 基板 12 の裏面に Au メッキにより裏面 Au メッキ層 42 を形成するとともに V/H30 を形成し、V/H30 を介してソースパッド 26 と裏面 Au メッキ層 42 を接続し、FET チップ 10 を完成する。

【0048】

この実施の形態による FET チップ 10 は次のように動作する。

接地されている裏面 Au メッキ層 42 に V/H30 を介して接続されたソースパッド 26 とドレインパッド 28 との間に電圧が印加され、ユニット素子 44 それぞれに電圧が印加され、チャネル領域 40 を経由してドレイン電極 38 からソース電極 36 に電流が流れる。

【0049】

活性領域 16 は n 型であり、電流は電子電流で、この電子電流はチャネル領域 40 の表面上にショットキ接触しているゲート電極 18 下の空乏層と半絶縁性 GaAs 基板 12 の間を通して流れ、ゲート電極 18 に印加された印加電圧により変化する空乏層厚みにより電流量が制御され、ゲート電圧によりドレイン電流が変調される。

【0050】

このような実施の形態 1 の FET チップ 10 においては、ユニット素子 44 をゲート幅方向で等間隔に 2 回直角に屈曲させている。

このことにより、エアブリッジ部 20f の配線幅を許容電流量を満足する所定の配線幅とし、かつソース電極 36 とゲート電極 18 の間隔、同じくドレイン電極 38 とゲート電極 18 の間隔などのデザインルールは現状のデザインルールを変更せずに、形成プロセス上の制約により制限されるエアブリッジ部 20f の必要な相互の間隔を確保しつつ、矩形形状をした活性領域 16 の長辺に沿ってユニット素子 44 を並列に一直線に配置し、並列する素子数と屈曲する一辺の長さにも依存するが、活性領域 16 の長辺はすこし長くなるものの、ゲート電極幅を保ちながら活性領域 16 の短辺を $1/\sqrt{2}$ に短縮することができるので、活性領域 16 全体の面積としては縮小させることができる。

【0051】

図 1 の FET チップでも示されているように、実際のチップでは活性領域 16 の片側の長辺はソースパッド 26 とゲートパッド 24 が交互に並列しているので、これらの占める長さはユニット素子 44 が並列している長さよりも長くなる k とが通常である。

このためにユニット素子 44 が屈曲することにより少し活性領域 16 の長辺が長くなっても、チップ形状に与える影響は少なく、短辺の長さを短くすることがチップ面積を小さくすることに大きく寄与する。

【0052】

なお、このようにユニット素子 44 を直角に屈曲させているのは、GaAs などの化合物半導体材料は、通常直交する 2 方向の電気的特性が等価であるので、ユニット素子 44 の電気的特性は変化せず、FET チップ 10 の不均一動作の恐れはない。

【0053】

以上説明したようにこの実施の形態 1 の構成では、ユニット素子 44 をゲート幅方向で直角に屈曲させることにより、現状のデザインルールを変更せずにゲート電極幅方向の活性領域 16 の長さを $1/\sqrt{2}$ の長さに短縮し、活性領域 16 の面積を縮小することができ、延いては FET チップを小形化することができる。

【0054】

実施の形態 2

この実施の形態 2 は、実施の形態 1 を更に高性能化したもので、ユニット素子 44 の屈曲部 46 a、46 b に対向する活性領域 16 表面を帯状に絶縁領域とすることにより、この屈曲部 46 a、46 b に電界集中が起きないようにしたものである。

【0055】

図 4 はこの発明の実施の形態 2 に係る半導体装置の平面図である。また図 5 はこの発明の実施の形態 2 に係る半導体装置の要部を拡大した平面図である。

図 4 に示されたマルチフィンガー単純 PHS 型 FET は、実施の形態 1 と同様のもので、同じ符号は同一か又は相当の部分である。

【0056】

図 4 および図 5 において、50 は FET チップ、14 a はユニット素子 44 の屈曲部 46 a、46 b に対応する活性領域 16 の表面に設けられた帯状の絶縁領域である。この絶縁領域 14 a は幅が $1\mu\text{m}$ で、活性領域 16 の長辺に沿って直線の帯状に設けられている。絶縁領域 14 a の深さは能動層厚以上である。

この絶縁領域 14 a は絶縁領域 14 に関連付けて形成され、活性領域 16 として $n\text{-GaAs}$ のエピタキシャル層を使用した場合には、例えばプロトン (H^+) の絶縁注入を行って絶縁領域 14 は形成するが、このとき同時に絶縁領域 14 a も形成される。

【0057】

また活性領域 16 が半絶縁性 GaAs 基板 12 に不純物元素のイオン注入により形成される場合には、絶縁領域 14 a を残すように不純物元素のイオン注入を行って形成される。

実施の形態 1 では、ユニット素子 44 の屈曲部 46 a、46 b の部分で電界集中が生じ易く、このために場合によってはリーク電流の増大、耐圧低下を引き起こす可能性がある。特に高出力化を図る FET チップにおいては、ユニット素子 44 のゲート・ドレイン間耐圧 V_{gdo} を高める必要があり、ユニット素子 44 の屈曲部 46 a、46 b に絶縁領域 14 a を設けることにより、この部分を電氣的

に中性にすることにより、電界集中を防ぎ、リーク電流の増大や耐圧低下を回避することができる。延いてはFETチップの高出力化が有効に行われる。

【0058】

実施の形態3

この実施の形態は、SIV構造FETにおいてヒートシンクを有する正方形のソース電極部を格子状に、45度の傾きをもたせて配置しゲート幅を長く取れるようにするとともに、ソース電極の1辺毎に1つのFET素子を形成し、チップ面積の縮小化を図ったものである。

【0059】

図6はこの発明の実施の形態3に係る半導体装置の平面図である。また図7はこの発明の実施の形態3に係る半導体装置の要部を拡大した平面図、図8は図7の半導体装置の要部の活性領域を示す平面図、図9は図7のIX-IX断面における断面図である。

また図1、図2、及び図3と同じ符号は同一かまたは相当する部分である。

図6に示されたSIV構造FETは、移動体通信などの送信用増幅器に用いられる10～20GHz帯の1W程度を出力する増幅器に使用するFETチップである。具体的にはこのFETチップは総ゲート幅Wgtがほぼ1.5mmクラスのものである。

【0060】

図6、図7、図8、及び図9において、60はFETチップである。22fはドレインス配線22のドレインエアブリッジ部であり、Auメッキ層のみで形成されている。

30aはV/H30のV/H接続配線で、ソース電極36と裏面Auメッキ層42とを接続するAuメッキ層である。また30bはV/H30の貫通孔で、活性領域16と半絶縁性GaAs基板12とを貫通して、裏面Auメッキ層42に達している。

【0061】

ソース電極36は一辺が40 μ mの正方形で、その中央に一辺が30 μ mの正方形の貫通孔30bが穿たれ、V/H接続配線30aが設けられている。この出

カクラスのV/H30は最小寸法として一辺が $30\mu\text{m}$ の貫通孔30bが必要である。

図8の14bはゲート電極18、ドレイン電極22の屈曲部46a、46bに対応する半絶縁性GaAs基板12上の活性領域16に島状に設けられた絶縁領域で、絶縁注入又は絶縁基板に活性領域を形成するイオン注入の際に、絶縁領域14と同時に形成される。

【0062】

FETチップ60は次のように構成されている。

半絶縁性GaAs基板12に活性領域16が設けられ、半絶縁性GaAs基板12の辺に対して 45° 傾斜した直線に辺が平行になるように正方形のソース電極36が格子状に配置されている。

ゲートパッド24とドレインパッド28は活性領域16に配設されたFETのユニット素子44群を介して互いに対向し、半絶縁性GaAs基板12の長辺に沿って並列している。図8に示すように活性領域16は素子が形成される領域のみで、その周囲は絶縁領域14が形成されている。

【0063】

ソース電極36の中央にV/H30が設けられ、ソース電極36と半絶縁性GaAs基板12の裏面に設けられた裏面Auメッキ層42とを電氣的にまた伝熱的に接続している。

第1のチャネル領域としてのチャネル領域40aと第2のチャネル領域としてのチャネル領域40bはソース電極36の連続する2辺に沿ってゲート幅の延長方向が直交するように形成されている。

【0064】

隣接する二つのソース電極36の中央には一つの短冊状のドレイン電極38が設けられ、このドレイン電極38を挟んで両側にチャネル領域40a、40b或いはチャネル領域40b、40eが設けられ、このチャネル領域40a、40b及び40c上にゲート電極18aが、またチャネル領域40d、40e及び40f上にはゲート電極18bが設けられていて、一つのドレイン電極38を二つのゲート電極18a及び18bが共有している。即ち二つのFET素子が一つのド

レイン電極 38 を共有する配列となっている。

【0065】

さらにソース電極 36 の各辺が同様の素子構成となっていて、一つのソース電極 36 の周りに最大 4 つの FET 素子が形成された配置を取る。

一つのソース電極 36 の隣接する二辺に沿ったチャネル領域 40 上に設けられたゲート電極 18 は 90° の屈曲部 46a を介して連続し、さらに屈曲部 46a とは逆方向に開いた屈曲部 46b を介してゲートパッド 24 の並び方向と直交する方向にさらに延長されている。

【0066】

例えばソース電極 A の隣接する二辺に沿ったチャネル領域 40a, 40b 上に屈曲部 46a を介して設けられたゲート電極部分とこのソース電極 A が屈曲部 46b を介して対向するソース電極 B に隣接するチャネル領域 40c 上に配設されたゲート電極部分とを合わせた三つの FET 素子のゲート幅を一本で連続してユニットのゲート幅（ここでは $120\mu\text{m}$ ）とし、ゲートパッド 24 に接続し、一つのユニット FET 44 のユニットゲート電極 18a を構成している。

同様に二本のユニットゲート電極 18a と 18b の間に挟まれ、このゲート電極 18 と並行に配置されている三つのドレイン電極 38 が一本のドレイン配線 22 で接続されユニットのドレイン配線 22 としてドレインパッド 28 に接続されている。

【0067】

屈曲部 46a, 46b のドレイン配線 22 はこの 90 度折れ曲がる部分において、隣接するドレイン配線 22 相互の間隔が狭くなるが、これらのドレイン配線 22 の間に 2 本のゲート電極 18 を通す必要があり、直角に屈曲すること避けるとともに平面的には間隔を確保できないので立体的に配置して間隔を確保するためにエアブリッジ配線 22f としたものである。そしてこのユニットのドレイン配線 22 をユニット FET 44 が共有することにより多数のユニット FET 44 が連続配置されている。

【0068】

次にこの FET チップ 60 の製造方法について説明する。

ここでは周波数 10 GHz で出力 0.7 W が得られる総ゲート幅 $W_{gt} \approx 1.5$ mm (ユニットのゲート幅 $120 \mu\text{m} \times 12$ 本) の FET チップ 60 を例に説明する。

まず半絶縁性 GaAs 基板 12 に活性領域 16 を形成する。活性領域 16 の形成は、半絶縁性 GaAs 基板 12 にイオン注入により n-GaAs 領域を形成してもよいし、半絶縁性 GaAs 基板 12 上に能動層としての厚さ程度に n-GaAs 層をエピタキシャル成長により形成し、活性領域 16 の周りに絶縁注入を行って、活性領域 16 を形成してもよい。

【0069】

活性領域 16 は素子が形成される領域のみで、その周囲は絶縁領域 14 が形成されている。これは例えば図 8 に示されるような活性領域 16 である。

次に外周の一边が $40 \mu\text{m}$ 、内周の一边が $30 \mu\text{m}$ の正方形の環状をした 14 個のソース電極 36 を半絶縁性 GaAs 基板 12 の辺に対して 45° 傾斜した直線に辺が平行に沿うようにして、格子状に形成する。すなわちソース電極 36 の隅部を対向させた二つのソース電極 36 の対 (図 7 の A と B、C と D、E と F のような組み合わせで) を、隣接する対 (例えば A と B、C と D) の凸部と凹部をはめ合わせて食い違いに横方向に並列させて七対形成する。隣接するソース電極 36 (例えば A と C、B と D) の互いに対向する辺間の距離は $54 \mu\text{m}$ とする。

【0070】

次に隣接するソース電極 36 (例えば A と C、B と D) の互いに対向する辺の中央に、ドレイン電極幅が $40 \mu\text{m}$ 、ドレイン電極長を所定の寸法とした短冊型のドレイン電極 38 を形成する。ソース電極 36 及びドレイン電極 38 はオーム性電極材料で形成され例えば AuGe 系材料で形成される。

次いでソース電極 36 の隅部を対向させた二つのソース電極 36 の一对 (例えば A と B) とこれに隣接する二つのソース電極 36 の一对 (例えば A と B の一对、C と D の一对) との間に形成された三つのドレイン電極 38 を間に挟み、これらに沿って延長したゲート電極 18a 及び 18b を形成する。

ゲート電極長は電氣的な仕様により定められ、ゲート電極長が例えば $1 \mu\text{m}$ とすると、ゲート電極とソース電極間の距離が $2.5 \mu\text{m}$ 、ゲート電極とドレイン

電極間の距離が $3.5\ \mu\text{m}$ 程度に定められる。

【0071】

また T 型ゲートを使用する場合にはゲート電極長は $0.1\ \mu\text{m}$ 程度で、この T 型ゲートの頂部に形成される配線層の幅が例えば $1\ \mu\text{m}$ 程度となる。

この 1 本のゲート電極 18a, 18b などのゲート幅が $120\ \mu\text{m}$ のユニットのゲート幅となるよう形成される。

次いで、ソース電極 36 の中央の一边が $30\ \mu\text{m}$ の正方形に中抜された部分にドライエッチングにより半絶縁性 GaAs 基板 12 に達するが貫通しない孔を形成する。この後ソース電極 36 と中央の孔の底部と連続するを Au メッキ層を形成し、半絶縁性 GaAs 基板 12 を裏面から除去して薄くし、Au メッキ層を露呈させることによりソース電極 36 の中央の孔を貫通孔 30b とするとともに、Au メッキ層を V/H 接続配線 30a とする。更に半絶縁性 GaAs 基板 12 の裏面側に接地電極となる裏面金めっき層 42 を形成する。

【0072】

次に、半絶縁性 GaAs 基板 12 の絶縁領域 14 上に、半絶縁性 GaAs 基板 12 の辺に沿って活性領域 16 を介して互いに対向するゲートパッド 24 とドレインパッド 28 を、Au メッキ層により形成する。

次にゲート電極 18 とゲートパッド 24 の接続配線、ドレイン電極 38 相互間を除くドレイン電極 38 上、ドレイン電極 38 とドレインパッド 28 の接続配線を Au メッキ層により形成する。

【0073】

最後にドレイン電極 38 相互間をエアブリッジ配線 22f で接続する。このエアブリッジ配線 22f は、ドレインエアブリッジ部 22a を橋脚部（図示せず）のパターンとブリッジ部（図示せず）のパターンを 2 層のレジストで別々に形成し、公知の選択メッキ法を用いて形成する。

このように形成された FET チップ 60 の動作は、基本的には実施の形態 1 で述べた動作と同じである。

【0074】

またソース電極 36 を半絶縁性 GaAs 基板 12 の辺に対して 45° 傾斜した

直線に沿って辺が平行になるように格子状に配置し、ソース電極 36 の隣接する二辺に沿ったチャネル領域 40 上に設けられたゲート電極 18 は 90° の屈曲部 46 a を介して連続し、さらに屈曲部 46 a とは逆方向に開いた屈曲部 46 b を介してゲートパッド 24 の並び方向と直交する方向にさらに延長されたことにより、実施の形態 1 の FET チップ 10 と同様に、ユニット素子 44 をゲート幅方向で等間隔に 2 回直角に屈曲させている。

【0075】

このことにより、ソース電極 36 とゲート電極 18 の間隔、同じくドレイン電極 38 とゲート電極 18 の間隔などのデザインルールは現状のデザインルールを変更せずに、ゲートパッド 24 とドレインパッド 28 との間隔を $1/\sqrt{2}$ に短縮することができる。

さらにソース電極 36 の 4 辺をすべてソース電極端として用いることができる。このためにユニット素子を高密度に配置することができる。

【0076】

またこのソース電極 36 は、矩形でもユニット素子の高密度化に寄与するが、正方形にした場合には、さらに同じ矩形の場合の V/H 30 の面積を保ったままでソース電極 36 を最も小さくすることができ、さらに FET チップの小形化を図ることができる。

【0077】

実施の形態 4

この実施の形態 4 は、SIV 構造 FET においてヒートシンクを有する正方形のソース電極部を格子状に、 45° の傾きをもたせて配置した実施の形態 3 の高性能化を図ったもので、ソース電極の 1 辺の長さよりもチャネル幅を短くして、ソース電極の隅部を、この隅部を介して隣接する 2 辺のユニット素子で共有しないようにしたものである。

【0078】

図 10 はこの実施の形態に係る半導体装置の平面図である。また図 11 はこの実施の形態に係る半導体装置の要部を拡大した平面図、図 12 は図 11 の半導体装置の要部の活性領域を示す平面図である。また図 6、図 7、図 8、及び図 9 と同

じ符号は同一かまたは相当する部分である。

【0079】

図10において、70はFETチップである。また図11と図12のA部はソース電極の1辺の長さよりもチャネル幅を短くしたソース電極の隅部を示す。

14cはチャネル幅を小さくするように拡大した絶縁領域である。

図10、図11、及び図12に示すように、ソース電極36の隅部において、絶縁領域14cにより、ソース電極36の一辺の長さよりもチャネル領域40のチャネル幅を短くした以外は実施の形態3と同じ構成で、製造方法も同じである。

図10、図11、及び図12において、ソース電極36は一辺が $40\mu\text{m}$ の正方形である。チャネル領域40は、絶縁領域14bによりチャネル幅の両端それぞれにてソース電極36から $1\mu\text{m}$ 後退していて、チャネル幅は $38\mu\text{m}$ となっている。

【0080】

従って、一つのソース電極36の隣接する二辺に沿うチャネル領域40a、40b上に屈曲部46aを介して設けられた部分とこのソース電極36が屈曲部46bを介して対向する他のソース電極36に隣接するチャネル領域40c上に設けられた部分とを一本で連続してゲートパッド24に接続し、ユニットのゲート電極18aを構成しているが、ユニットのゲート電極の内、三つの素子のゲート電極幅は $38\mu\text{m} \times 3 = 114\mu\text{m}$ である。

このように、ソース電極36の隅部において、絶縁領域14bによりソース電極36の一辺の長さよりもチャネル領域40のチャネル幅を短くすることにより、ソース電極36の隅部を、この隅部を介して連続するソース電極36の二辺をソース端とする素子が、この隅部を共有しないようにすることができる。

【0081】

この隅部においては電界集中が生じやすく、このためリーク電流が増大したり、耐圧低下を引き起こす場合があるが、ソース電極36の隅部において、絶縁領域14bによりソース電極36の一辺の長さよりもチャネル領域40のチャネル幅を短くすることにより、この隅部を電氣的に中性にすることができる。隅部を

電氣的に中性にすることにより、リーク電流の増大や耐圧低下を抑制することができ、ソース電極 36 の四辺をソース端とする素子を形成し、しかもその電氣的特性を高めることができる。

【0082】

実施の形態 5

この実施の形態 5 は、SIV 構造 FET においてヒートシンクを有する正方形のソース電極部を格子状に、45度の傾きをもたせて配置する実施の形態 3 及び 4 の高性能化を図ったもので、ソース電極の隅部に対向してゲート引出パッドを設け、このソース電極の隅部を介して連続する二辺に沿って設けられた二つのドレイン電極それぞれの両側のゲート電極、つまり四本のゲート電極をこのゲート引出パッドに接続することによって、長ゲート幅にすることによって生じる特性劣化を少なくしたものである。

【0083】

図 13 はこの発明の実施の形態 5 に係る半導体装置の平面図である。また図 14 はこの発明の実施の形態 5 に係る半導体装置の要部を拡大した一部透視平面図、図 15 は図 14 に示した要部の一部であって素子のユニットパターンの平面図、図 16 は図 14 の X V I - X V I 断面における断面図である。また実施の形態 4 及び 5 の図面と同じ符号は同一かまたは相当する部分である。

【0084】

図 13、図 14、図 15、および図 16 において、80 は FET チップである。
82 はゲート引出しパッドで Au メッキ層である。84 はゲートエアブリッジ配線、86 はドレインエアブリッジ配線である。ゲートエアブリッジ配線 84 およびドレインエアブリッジ配線 86 は Au メッキ層で形成されている。

図 15 の 90 は素子のユニットパターンである。

【0085】

図 14、図 15、および図 16 において 84 a はゲートエアブリッジ配線 84 がゲート配線 18 と接続されるゲートエアブリッジ配線 84 の接続部、86 a はドレインエアブリッジ配線がドレイン配線 22 と接続されるドレインエアブリッ

ジ配線の接続部である。

この実施の形態 5 の FET チップ 80 の構成は、チャネル領域 40 a、40 b、40 d、40 e、ソース電極 36、このソース電極 36 に設けられた V/H 30、ドレイン電極 38、活性領域の配置などは、実施の形態 3 および 4 と同じである。しかしゲート配線 18 とドレイン配線 22 の接続部分や、配線の引き回し部分はこの実施の形態に特徴的なものである。

【0086】

FET チップ 80 における特徴はゲート配線 18 a、18 b で、このゲート配線 18 a、18 b はその屈曲部に設けられたゲート引出しパッド 82 に接続され、ゲート配線 18 a、18 b とゲート引出しパッド 82 とが組み合わされて、ユニット化されている。このユニット化されたゲート配線 18 を用い素子をユニット化したのがユニットパターン 90 である。

【0087】

図 15 において、ユニットパターン 90 はソース電極 36 の隣接する二辺のソース端 36 a、36 b の間の隅部に対向してゲート引出パッド 82 を設け、このソース電極 36 の隅部を介して連続する二辺に沿って設けられた第 1、第 2 のチャネル領域としてのチャネル領域 40 a、40 b に隣接して、二つのドレイン電極 38（この二つのドレイン電極は図 15 では記載せず。22 a 及び 22 b はこの二つのドレイン電極上に配設されたドレイン配線である。）が設けられている。

【0088】

二つのドレイン電極 38 それぞれの両側のゲート電極 18 a 18 b はゲート引出パッド 82 に接続されている。ソース電極 36 の一辺が $40\ \mu\text{m}$ であるので、これら 4 本のゲート電極 18 から、概ね $40\ \mu\text{m} \times 4 = 160\ \mu\text{m}$ をユニットゲート幅とするゲート電極 18 が構成される。

このユニットゲート幅のゲート配線 18 a、18 b、一つのソース電極 36、二つのドレイン電極 22 a、22 b、およびゲート引出パッド 82 を有する組み合わせを一つのユニットパターン 90 として、ソース電極 36 の四辺をソース端として平面的に連続配置することができる。

【0089】

矩形のチップ形状に平面的に連続配置した一例が、図13に示されたFETチップ80である。

図13におけるFETチップ80の構成では、FETチップ80の異なる長辺に沿ってゲートパッド24とドレインパッド28が別々に設けられ、活性領域16に設けられたFET素子群を介して対向している。

ゲート引出パッド82及びドレイン配線22の配列は、ゲートパッド24とドレインパッド28の並びに直交する方向にも配列されていることになるので、これらゲート引出パッド82及びドレイン配線22を結んで、ゲートエアブリッジ配線84及びドレインエアブリッジ配線86が交互に配設され、それぞれゲートパッド24、ドレインパッド28と接続されている。

【0090】

次に製造方法について説明する。

半絶縁性GaAs基板12に活性領域16を形成し、正方形の環状をした14個のソース電極36を半絶縁性GaAs基板12の辺に対して45°傾斜した直線に辺が平行になるように格子状に形成し、ドレイン電極長を所定の寸法とした短冊型のドレイン電極38を形成する。

【0091】

次いでソース電極36とドレイン電極38との間にゲート電極18を形成する。ゲート電極長が例えば1 μ mとすると、ゲート電極とソース電極間の距離が2.5 μ m、ゲート電極とドレイン電極間の距離が3.5 μ m程度に定められる。

またT型ゲートを使用する場合にはゲート電極長は0.1 μ m程度で、配線層の幅が例えば1 μ m程度となる。

【0092】

次いで、ソース電極36の中央の一辺が30 μ mの正方形に中抜された部分に、ドライエッチングにより半絶縁性GaAs基板12に達するが貫通しない孔を形成する。この後ソース電極36と中央の孔の底部と連続するをAuメッキ層を形成し、半絶縁性GaAs基板12を裏面から除去して薄くし、Auメッキ層を露呈させることによりソース電極36の中央の孔を貫通孔30bとするととも

に、Auメッキ層をV/H接続配線30aとする。更に半絶縁性GaAs基板12の裏面側に接地電極となる裏面金めっき層42を形成する。

【0093】

次いでゲート引出しパッド82、ゲートパッド24およびドレインパッド28をAuメッキ層で形成し、ゲート電極18とゲートパッド24の接続配線、ドレイン電極38をAuメッキ層により形成する。

その後ゲート引出しパッド82とゲートパッド24、ドレイン配線22とドレインパッド28、をそれぞれゲートエアブリッジ配線84及びドレインエアブリッジ配線86で接続しFETチップ80が完成する。

【0094】

このように形成されたFETチップ80の動作は、基本的には実施の形態1で述べた動作と同じである。

ソース電極36を半絶縁性GaAs基板12の辺に対して45°傾斜した直線に辺が平行になるように格子状に配置し、ソース電極36の隅部に対向してゲート引出パッド82を設け、このソース電極36の隅部を介して連続する二辺に沿って設けられたチャネル領域40a、40bに隣接して、二つのドレイン電極38が設けられ、この二つのドレイン電極38に隣接してチャネル領域40d、40eが設けられる。

【0095】

これらのチャネル領域40a、40b、40d、40eに設けられたゲート電極18a、18bをゲート引出パッド82に接続し、ソース電極36の一辺の長さをユニットゲート幅とするユニット化されたゲート配線構造を構成することにより、実施の形態3及び4と同様にソース電極36とゲート電極18の間隔、同じくドレイン電極38とゲート電極18の間隔などのデザインルールは現状のデザインルールを変更せずに、ゲートパッド24とドレインパッド28の間隔を $1/\sqrt{2}$ に短縮することができる。

さらにソース電極36の4辺をすべてソース電極端として用いることができる。このために素子を高密度に配置することができる。

【0096】

またこのソース電極 36 は、矩形でもユニット素子の高密度化に寄与するが、正方形にした場合には、さらに同じ矩形の場合の $V/H30$ の面積を保ったままでソース電極 36 を最も小さくすることができ、さらに FET チップの小形化を図ることができる。

【0097】

さらに、この実施の形態 5 では、ソース電極 36 の一辺が $40\mu\text{m}$ であるので、概ね $40\mu\text{m} \times 4 = 160\mu\text{m}$ をユニットゲート幅とするユニット化されたゲート配線 18 が構成されるが、 $160\mu\text{m}$ のユニットゲート幅は各ゲート幅を直列に接続したのではなく、ゲート引出パッド 82 で並列に接続されている。

このために各 FET 素子のゲート幅 $40\mu\text{m}$ を保ったままで、総ゲート幅 W_{gt} の大きな FET チップ 80 を構成することができ、高周波化に際して、ゲート幅を長くした時に問題となる位相のずれ、延いてはこの位相のずれに起因する FET チップの特性劣化、例えば MSG/MAG 変換点が低周波側に移動すること、などを回避することができる（ここで MSG (Maximum Stable power Gain) は最大安定電力利得、MAG (Maximum Available power Gain) は最大有能電力利得である。）

【0098】

更にこの実施の形態 5 においても、実施の形態 4 に記載したように、ソース電極 36 の隅部において、絶縁領域によりソース電極 36 の一辺の長さよりもチャネル領域 40 のチャネル幅を短くすることにより、ソース電極 36 の隅部を、この隅部を介して連続するソース電極 36 の二辺をソース端とする素子が、この隅部を共有しないようにし、この隅部を電氣的に中性にし、リーク電流の増大や耐圧低下を抑制することができることはいうまでもない。

【0099】

【発明の効果】

以上に説明したようにこの発明に係る半導体装置及びその製造方法は以下のような効果を有する。

この発明に係る半導体装置は、半導体基板の第 1 の主面に配設された活性領域に配設された第 1 の半導体素子であって、チャネル幅の延長方向が互いのチャネ

ル幅の一端側で直交する第1, 第2のチャンネル領域、この第1, 第2のチャンネル領域に隣接しこれら第1, 第2のチャンネル領域を挟んで互いに対向し活性領域表面にオーミック接続して配設された第1のソース電極と第1のドレイン電極、および第1, 第2のチャンネル領域の表面上に配設されそれぞれのチャンネル領域に隣接する第1のソース電極と第1のドレイン電極に沿って屈曲した第1のゲート電極を有する第1の半導体素子と、この第1の半導体素子に隣接して活性領域に配設された第2の半導体素子であって、第1のソース電極または第1のドレイン電極のいずれか一方を介して第1, 第2のチャンネル領域に隣接して配設された第3, 第4のチャンネル領域、この第3, 第4のチャンネル領域を挟んで第1のドレイン電極または第1のソース電極と互いに対向し活性領域表面にオーミック接続して配設された第2のソース電極または第2のドレイン電極、及び第3, 第4のチャンネル領域の表面上に配設され第1のソース電極または第1のドレイン電極に沿って屈曲し、第1のソース電極または第1のドレイン電極を第1のゲート電極と共有する第2のゲート電極を有し、第2のゲート電極が第1のゲート電極と第1のソース電極または第1のドレイン電極を共有してなる第2の半導体素子と、を備えたもので、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができ、小形の高出力FET半導体装置を得ることができる。

【0100】

さらに、ソース電極およびドレイン電極がそれぞれ帯状に配設されるとともに、それぞれのゲート電極の屈曲部を横一線に並列して半導体素子を配設したもので、マルチフィンガー単純PHS型FETにおいて、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができ、形の高出力FET半導体装置を得ることができる。

【0101】

さらに、ソース電極上に配設されたソース引出配線、このソース引出配線が複数接続されたソース共通配線、ドレイン電極上に配設されたドレイン引出配線、このドレイン引出配線が複数接続されたドレイン共通配線、およびゲート電極が複数接続されたゲート共通配線をさらに備え、ドレイン共通配線が、活性領域を介してソース共通配線およびゲート共通配線と互いに対向して配設されるととも

にソース引出配線がゲート共通配線をまたぐエアブリッジ構造を介してソース共通配線に接続されたもので、電氣的動作の不均一性を少なくすることができ、電氣的特性の揃った高出力のマルチフィンガー単純 P H S 型 F E T を得ることができる。

【 0 1 0 2 】

またさらに、ゲート電極の屈曲部に対向する半導体基板の表面に絶縁領域を配設したので、ゲート電極の屈曲部に対向する半導体基板の表面の電界集中を抑制することができ、耐圧低下やリーク電流の少ない高出力のマルチフィンガー単純 P H S 型 F E T を得ることができる。

【 0 1 0 3 】

また、半導体基板の第 2 の主面上に配設された導電体膜をさらに備え、ソース電極が四辺形をなしこのソース電極内に設けられたバイアホールを介して導電膜に接続されるとともに、第 1，第 2 のチャネル領域に隣接するソース電極が四辺形の連続する二辺の周縁部としてなることにより、S I V 構造 F E T において、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができ、かつソース電極の面積を小さくでき、高密度に半導体素子を配設できるから、小形で高出力の S I V 構造 F E T を得ることができる。

【 0 1 0 4 】

さらにゲート電極の屈曲部に対向する半導体基板の表面に絶縁領域を配設したので、ゲート電極の屈曲部に対向する半導体基板の表面の電界集中を抑制することができ、耐圧低下やリーク電流の少ない高出力の S I V 構造 F E T を得ることができる。

【 0 1 0 5 】

さらに、絶縁領域によりチャネル幅をソース電極の幅よりも狭くしたので、ソース電極の連続する二辺の隅部を 2 素子で共有しないようにし、この隅部を電氣的に中性にすることができるから、さらに耐圧低下やリーク電流の少なく信頼性の高い高出力の S I V 構造 F E T を得ることができる。。

【 0 1 0 6 】

また、さらに第 1 のゲート電極が交互に逆方向に開いた屈曲部を介して一方向

に延長されるとともに、第 2 のゲート電極が上記第 1 のゲート電極と並行して延長されたので、ゲートパッドとドレインパッドを半導体基板の同じ主面に形成できて半導体装置の構成が簡単になり、安価な高出力の S I V 構造 F E T を得ることができる。

【0 1 0 7】

また、さらに第 1，第 2 のゲート電極が並行して配設され、それぞれのゲート電極がそれらの屈曲部に配設された共通のパッドに接続されたので、共通のパッドを引出しパッドとすることにより、単位のゲート幅を個々の素子のゲート幅とすることができるので、単位のゲート幅を長くすることに起因する増幅特性の劣化を回避することができ、高周波数で増幅特性の優れた高出力の S I V 構造 F E T を得ることができる。

【0 1 0 8】

また、さらに半導体を等方性の化合物半導体としたので、化合物半導体を用いた半導体装置において、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができ、化合物半導体を用いた小形の高出力 F E T を得ることができる。

【0 1 0 9】

また、この発明に係る半導体装置の製造方法は、半導体基板の活性領域に、チャンネル幅の延長方向が互いのチャンネル幅の一端側で直交する複数の第 1，第 2 のチャンネル領域を設け、この第 1，第 2 のチャンネル領域の表面上に、それぞれの第 1，第 2 のチャンネル領域に沿って屈曲した複数のゲート電極を形成する工程と、それぞれのゲート電極に沿い第 1，第 2 のチャンネル領域を挟んで互いに対向するソース電極およびドレイン電極を交互に形成する工程と、を含むので、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くした半導体装置を簡単な工程で製造することができ、高出力 F E T を安価に提供できる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に係る半導体装置の平面図である。

【図 2】 この発明の実施の形態 1 に係る半導体装置の要部を拡大した平面図である。

【図 3】 図 2 の I I I - I I I 断面における半導体装置の一部断面図である。

【図 4】 この発明の実施の形態 2 に係る半導体装置の平面図である。

【図 5】 この発明の実施の形態 2 に係る半導体装置の要部を拡大した平面図である。

【図 6】 この発明の実施の形態 3 に係る半導体装置の平面図である。

【図 7】 この発明の実施の形態 3 に係る半導体装置の要部を拡大した平面図である。

【図 8】 この発明の実施の形態 3 に係る半導体装置の要部の活性領域を示す平面図である。

【図 9】 この発明の実施の形態 3 に係る半導体装置の要部の断面図である。

【図 1 0】 この発明の実施の形態 4 に係る半導体装置の平面図である。

【図 1 1】 この発明の実施の形態 4 に係る半導体装置の要部の平面図である。

【図 1 2】 この発明の実施の形態 4 に係る半導体装置の要部の活性領域を示す平面図である。

【図 1 3】 この発明の実施の形態 5 に係る半導体装置の平面図である。

【図 1 4】 この発明の実施の形態 5 に係る半導体装置の要部の一部透視平面図である。

【図 1 5】 この発明の実施の形態 5 に係る半導体装置の要部の一部であって素子のユニットパターンの平面図である。

【図 1 6】 この発明の実施の形態 5 に係る半導体装置の要部の断面図である。

【図 1 7】 従来の半導体装置の平面図である。

【図 1 8】 従来の半導体装置の一部の断面図である。

【図 1 9】 従来の半導体装置の平面図である。

【図 2 0】 従来の半導体装置の一部の断面図である。

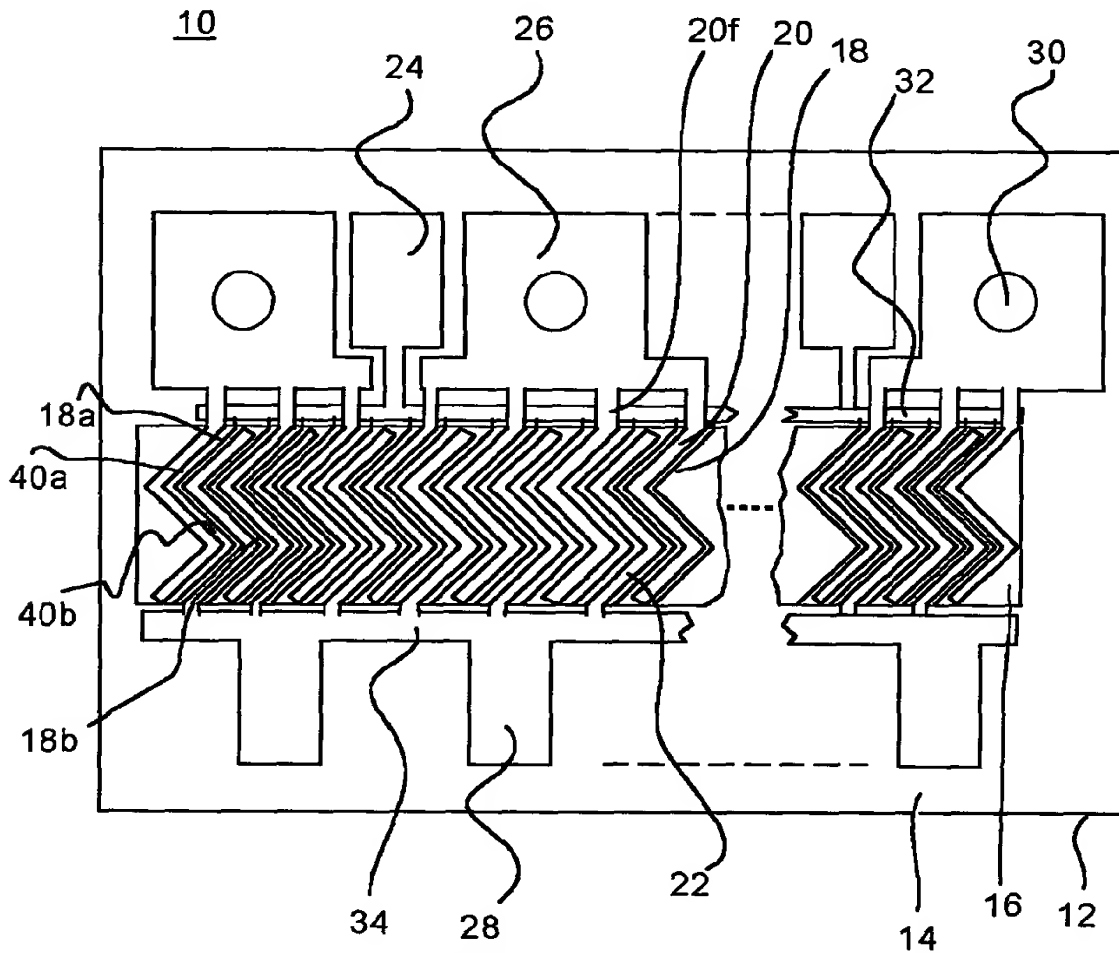
【符号の説明】

12 半導体基板、 16 活性領域、 40a、40b、40d、40e
チャンネル領域、 36 ソース電極、 38 ドレイン電極、 18a、
18b ゲート電極、 20 ソース配線、 26 ソースパッド、 2
2 ドレイン配線、 34 ドレインフィード部、 32 ゲートフィード
部、 20f エアブリッジ構造、 14a、14b、14c 絶縁領域、
42 裏面金めっき層、 30 バイアホール、 82 ゲート引出し
パッド

【書類名】

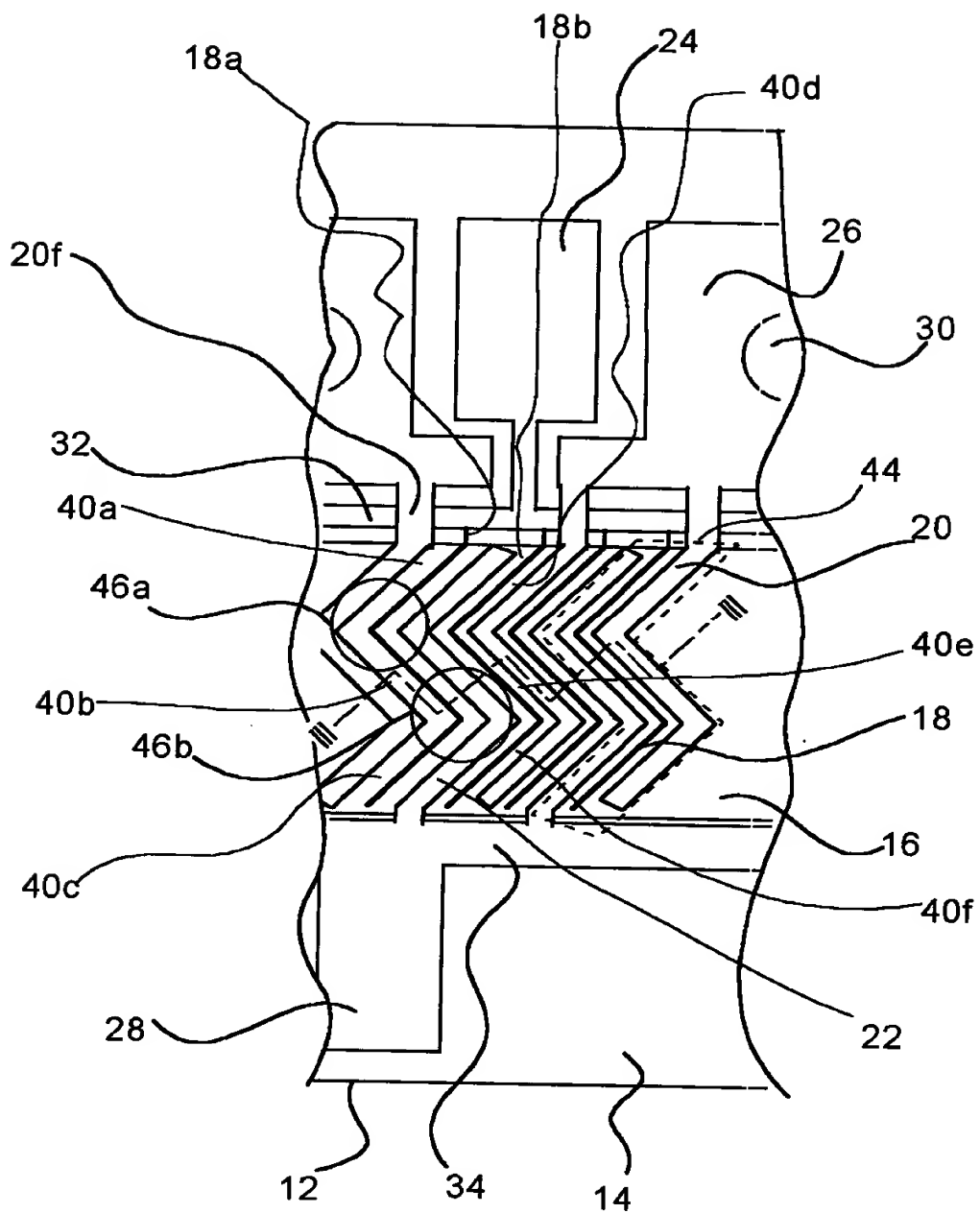
図面

【図 1】

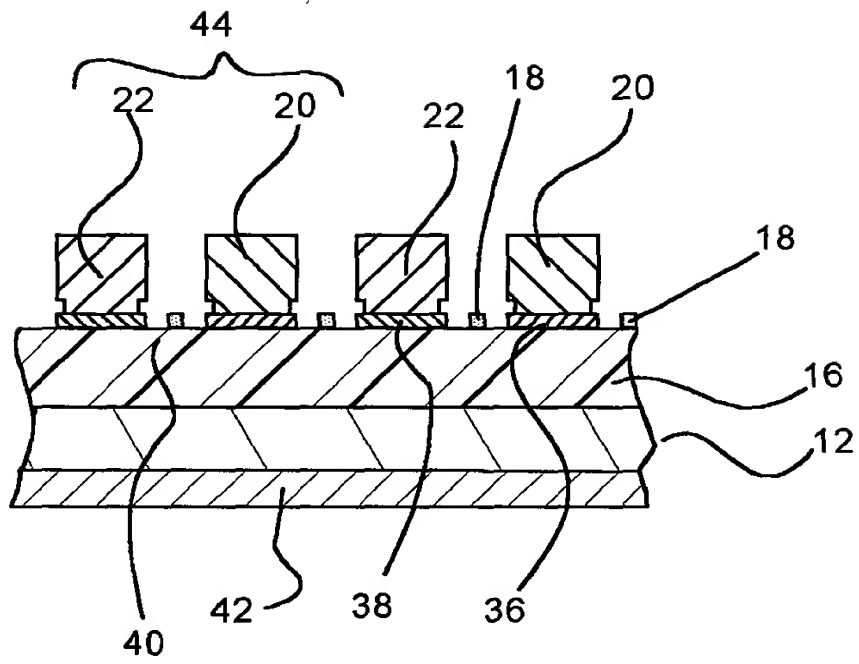


12: 半導体基板 14: 絶縁領域 16: 活性領域 18a, 18b: ゲート電極
 20: ソース配線 20f: エアブリッジ構造 22: ドレイン配線
 26: ソースパッド 30: バイアホール 32: ゲートフィーダ部
 34: ドレインフィーダ部 40a, 40b: チャンネル領域

【図 2】

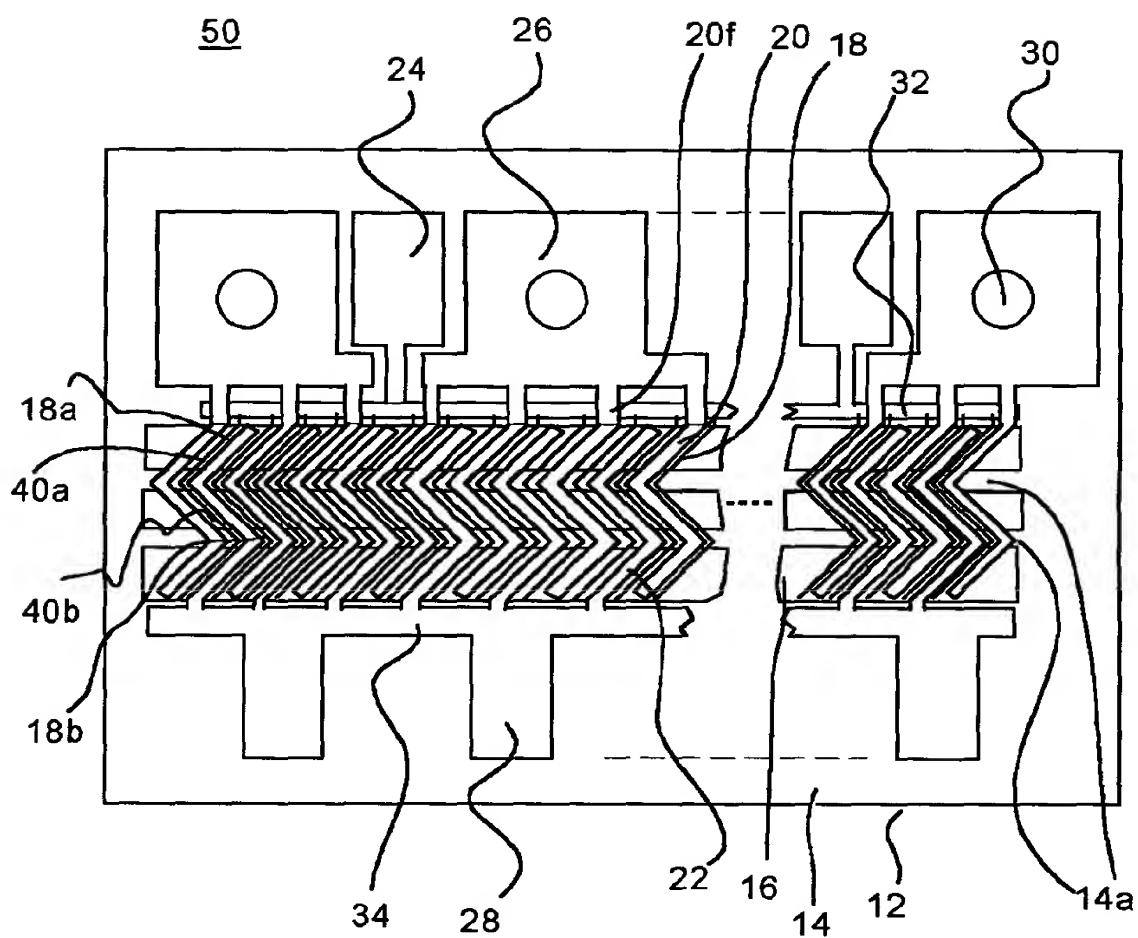


【図 3】

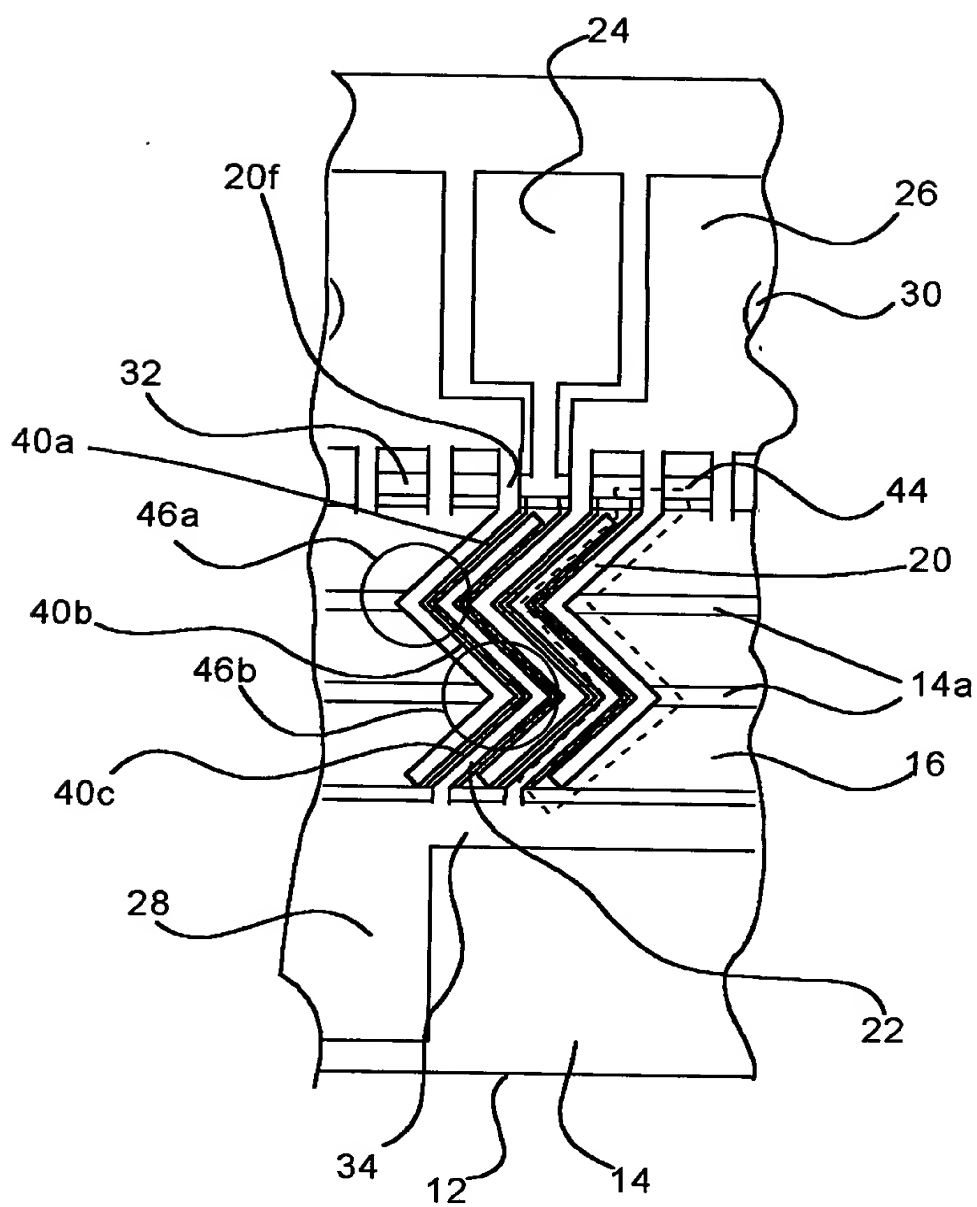


42:裏面金メッキ層

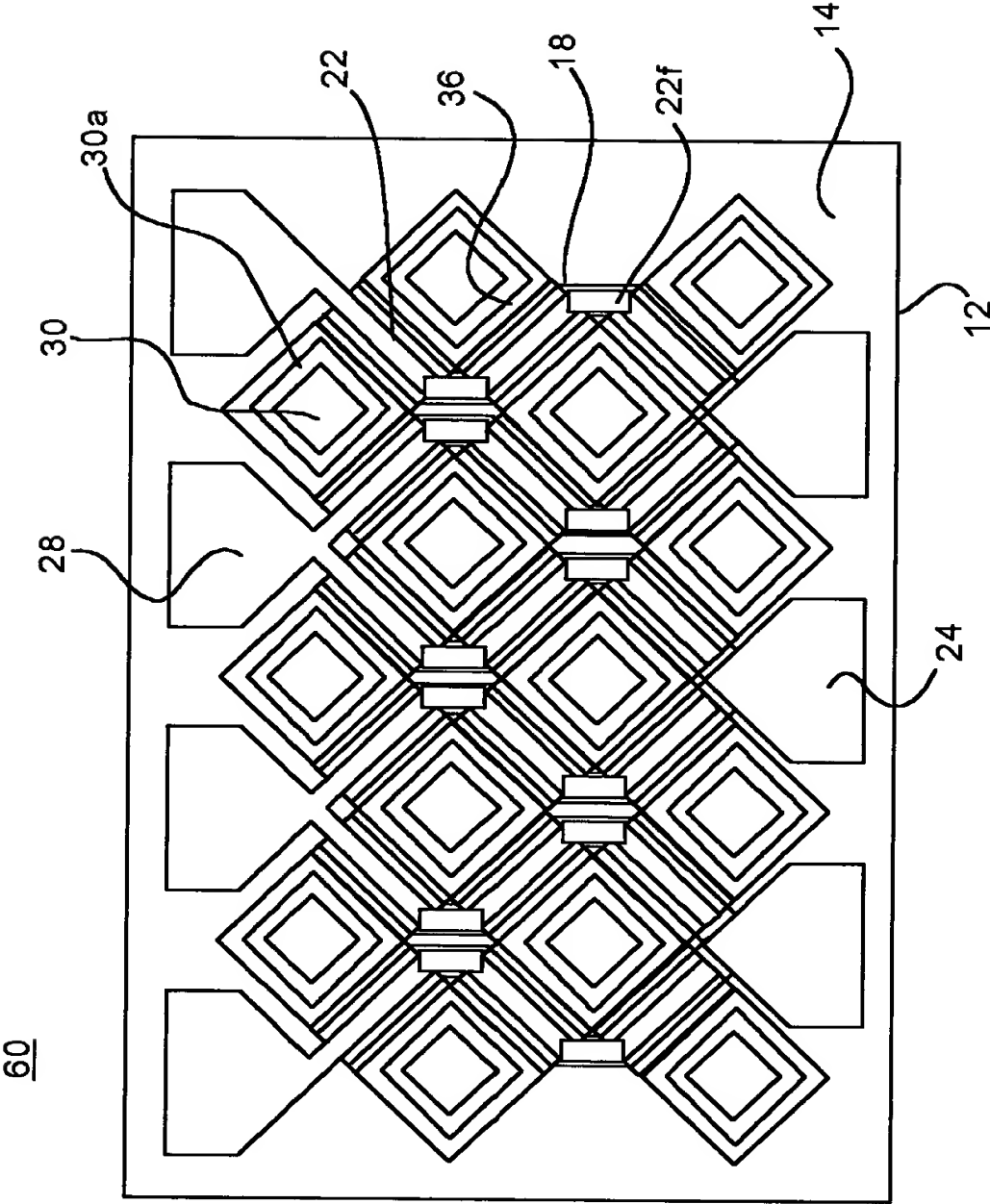
【図 4】



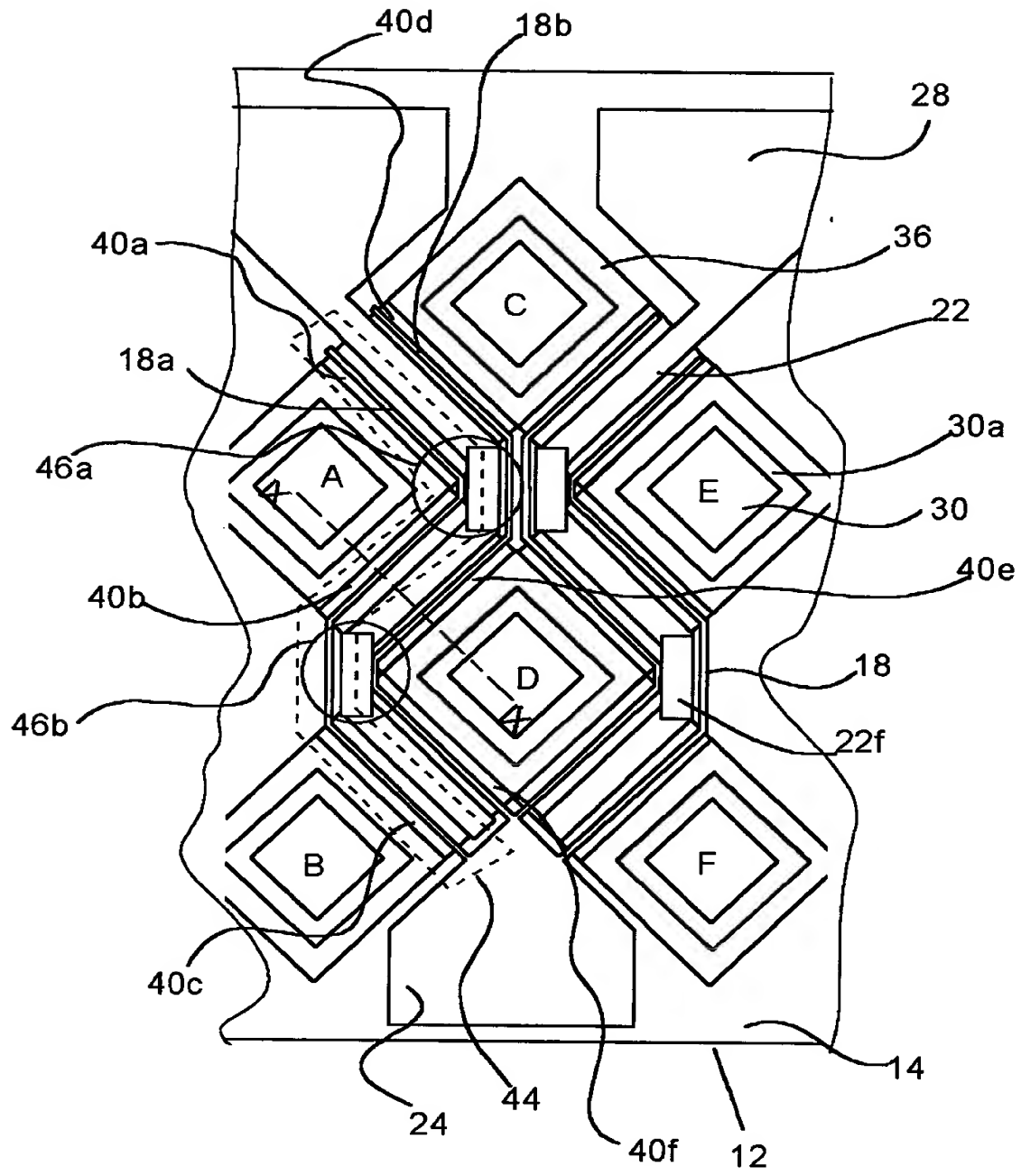
【図 5】



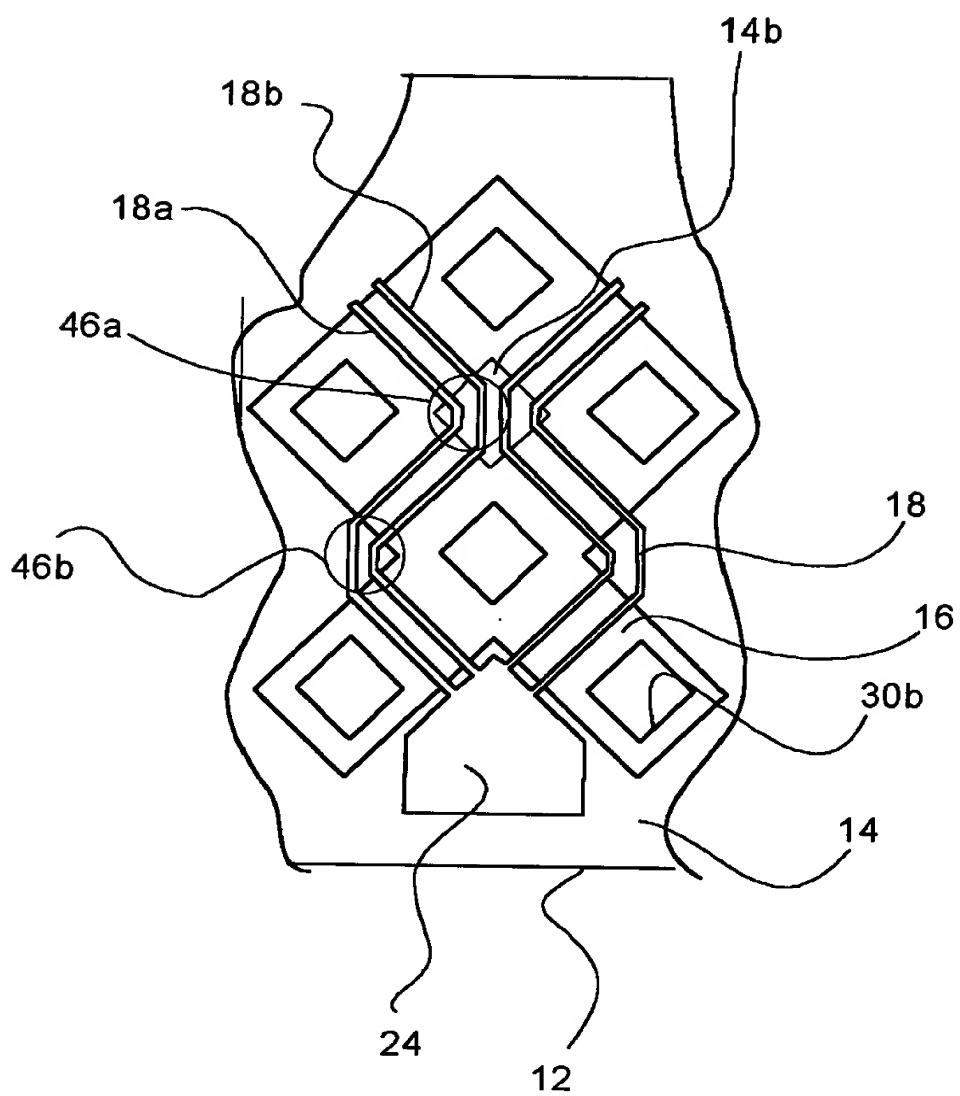
【図 6】



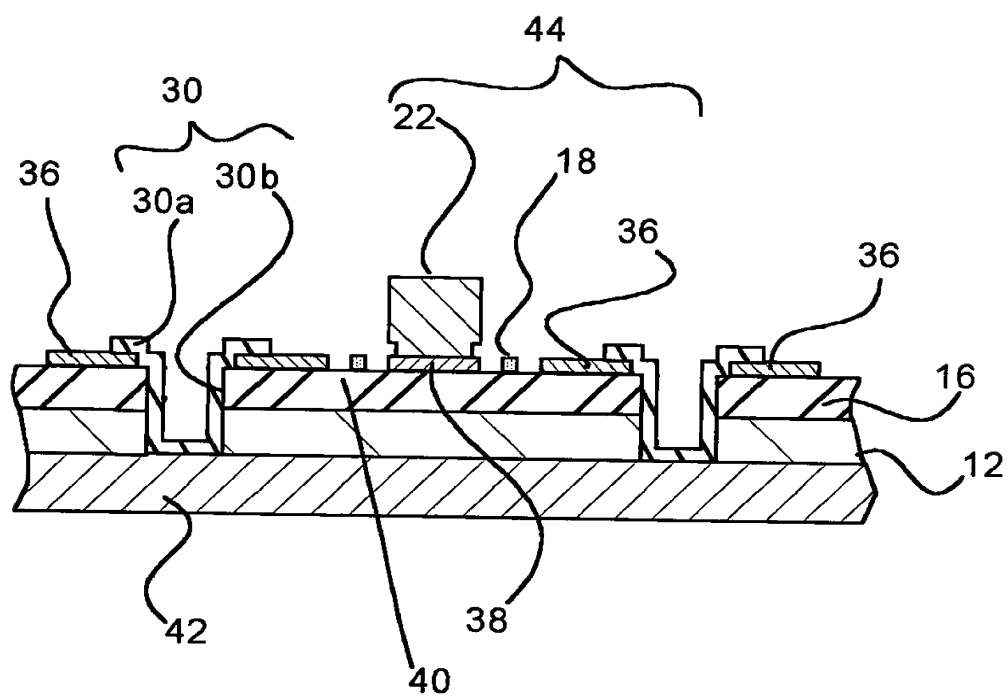
【図 7】



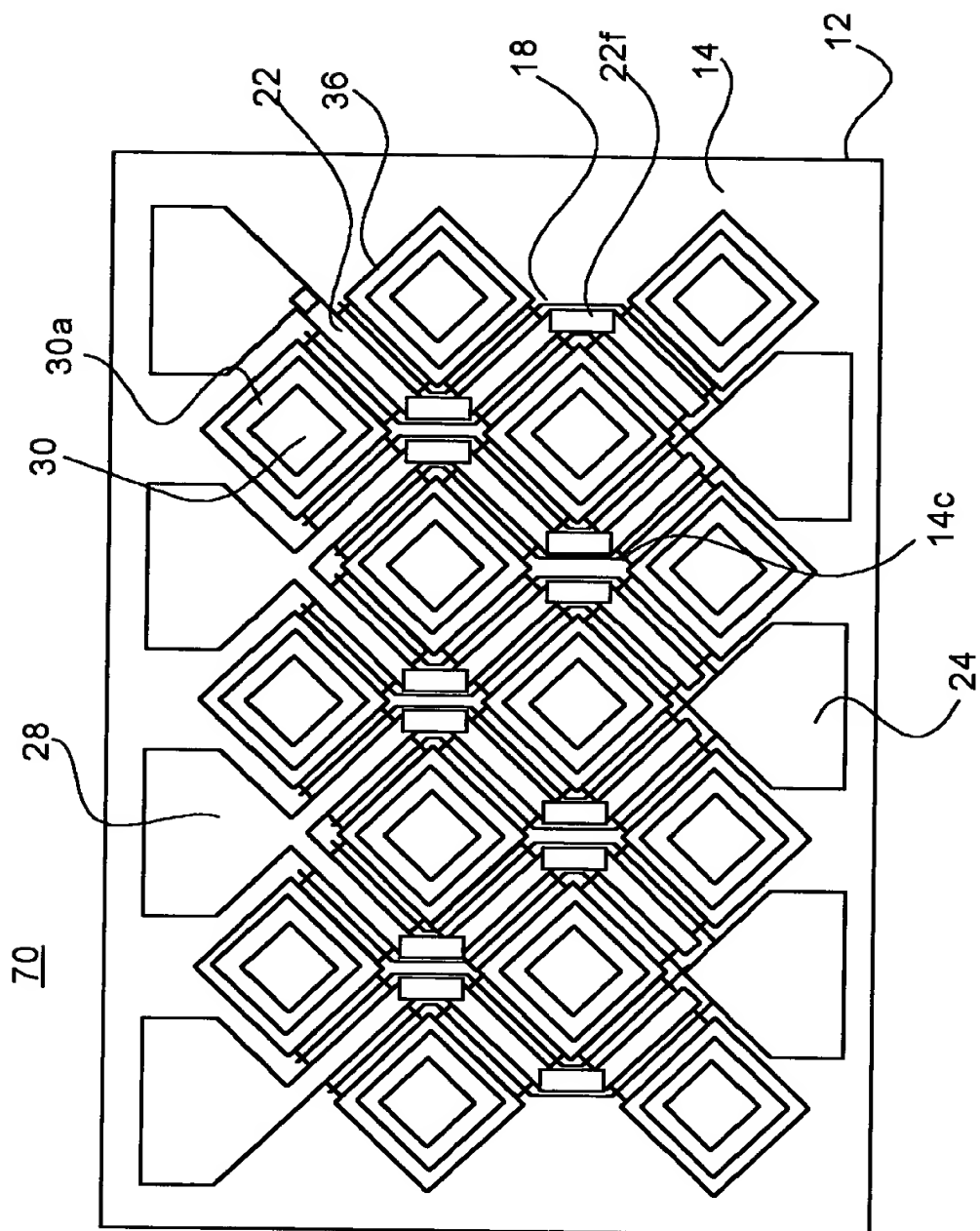
【図 8】



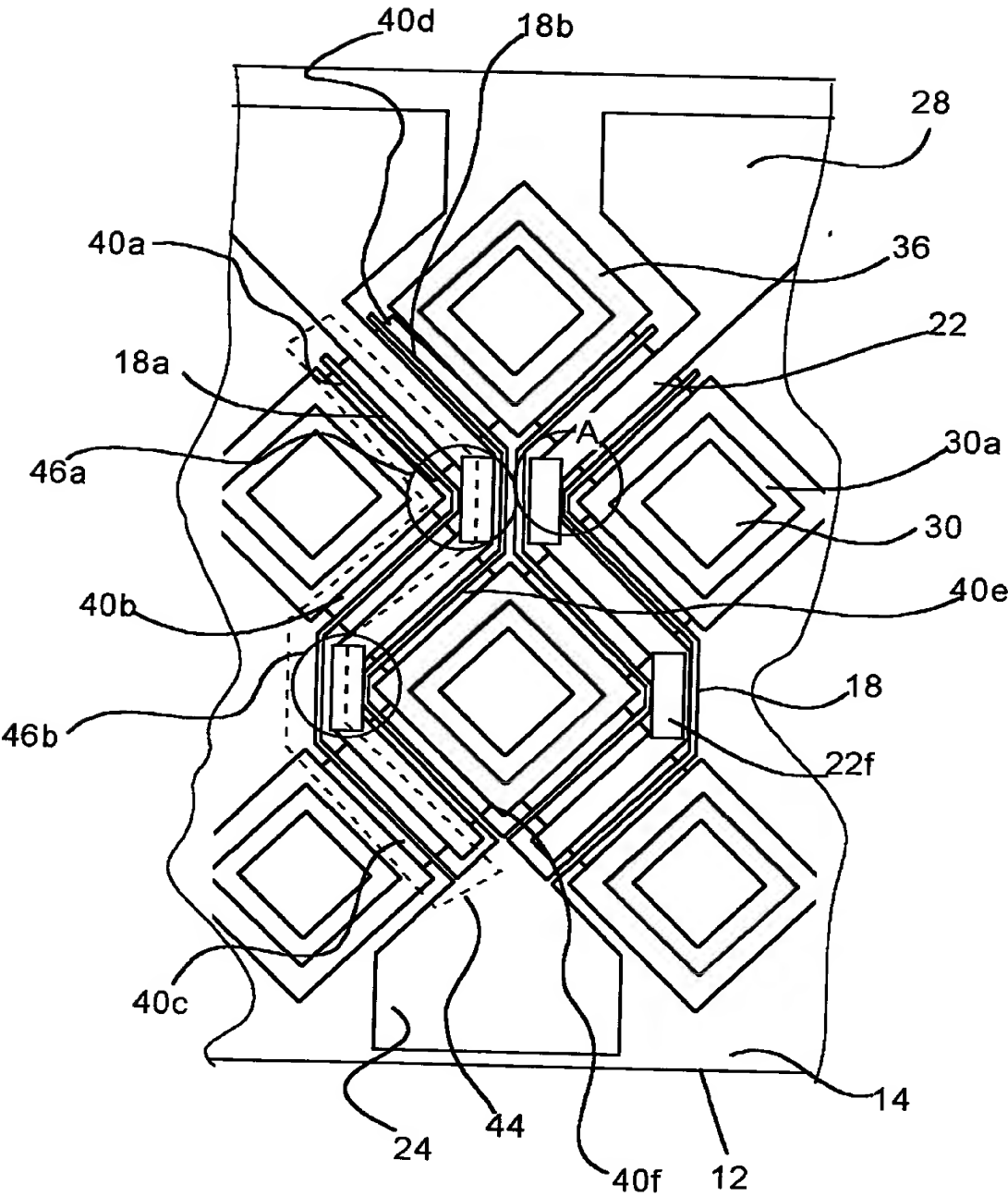
【图9】



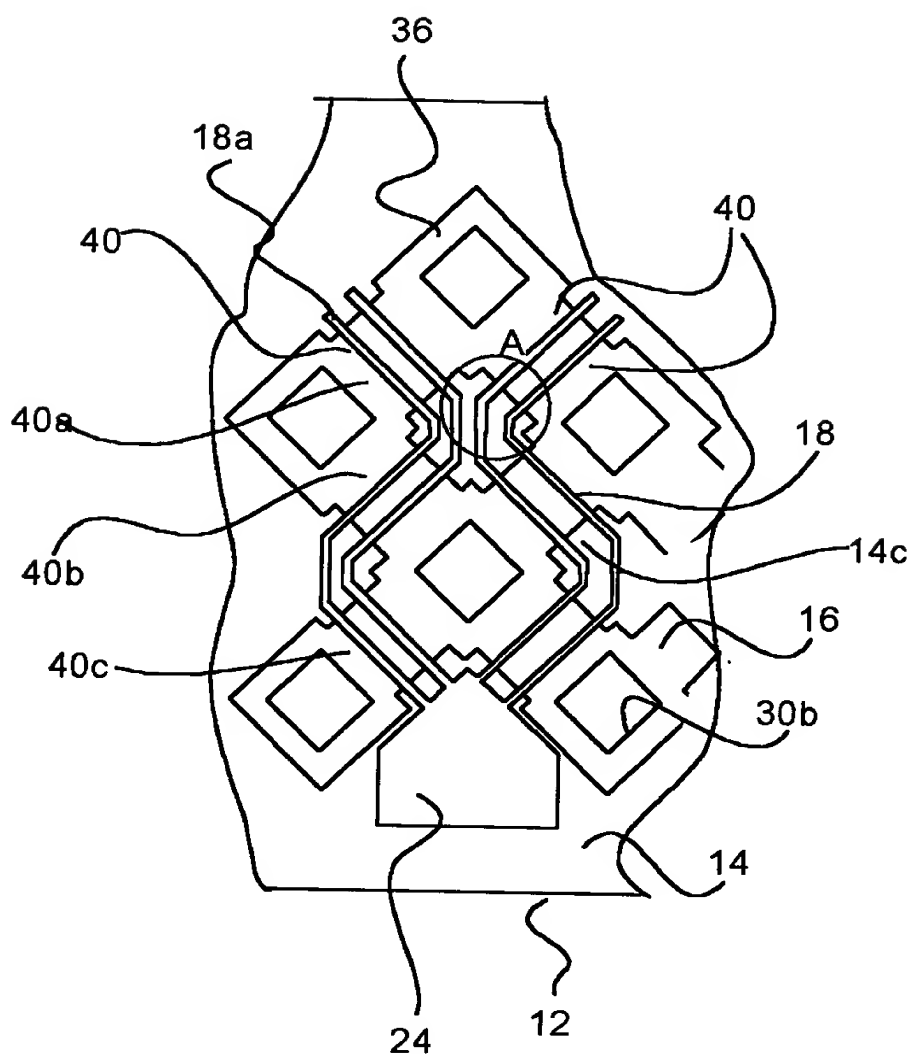
【図10】



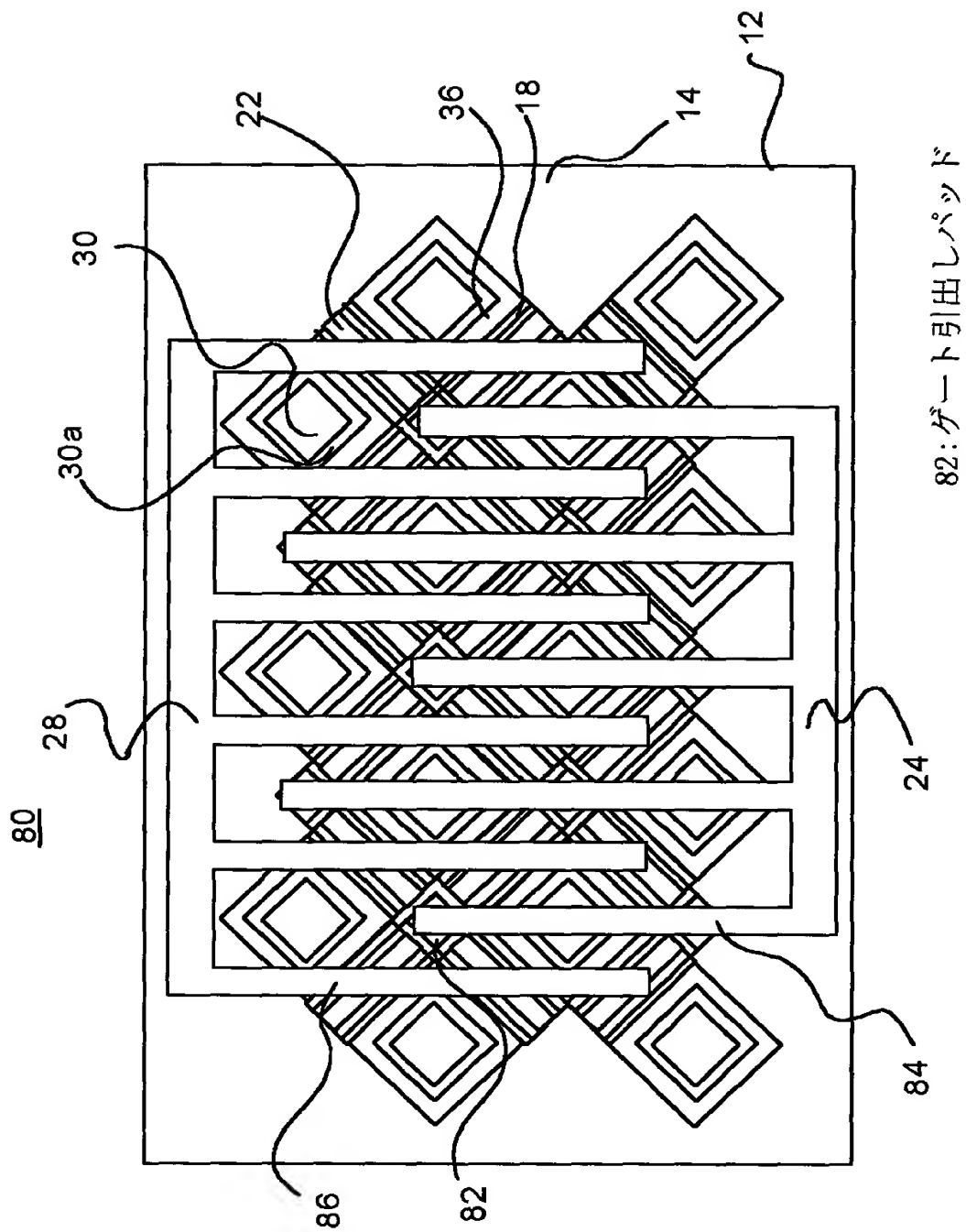
【図 11】



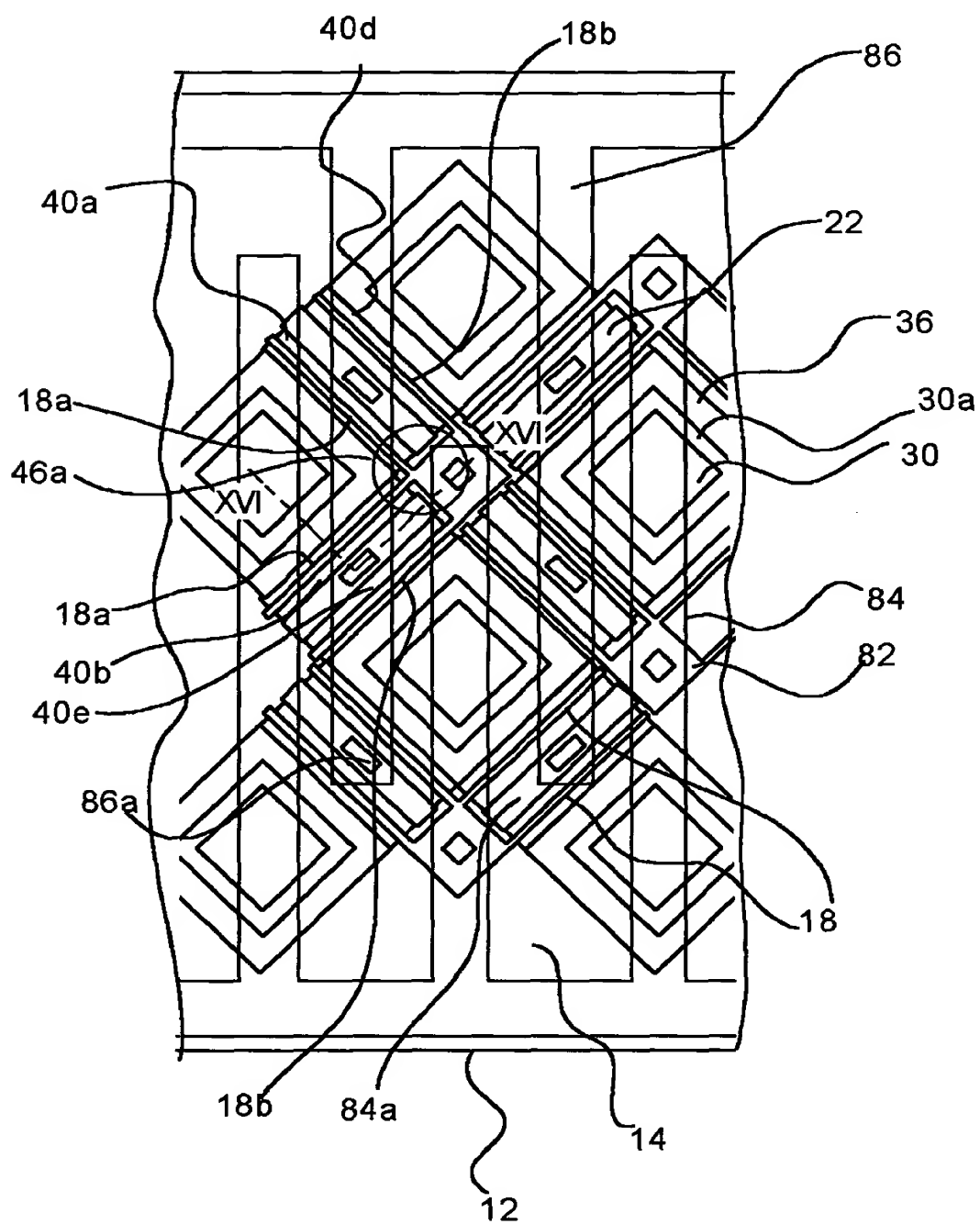
【図 12】



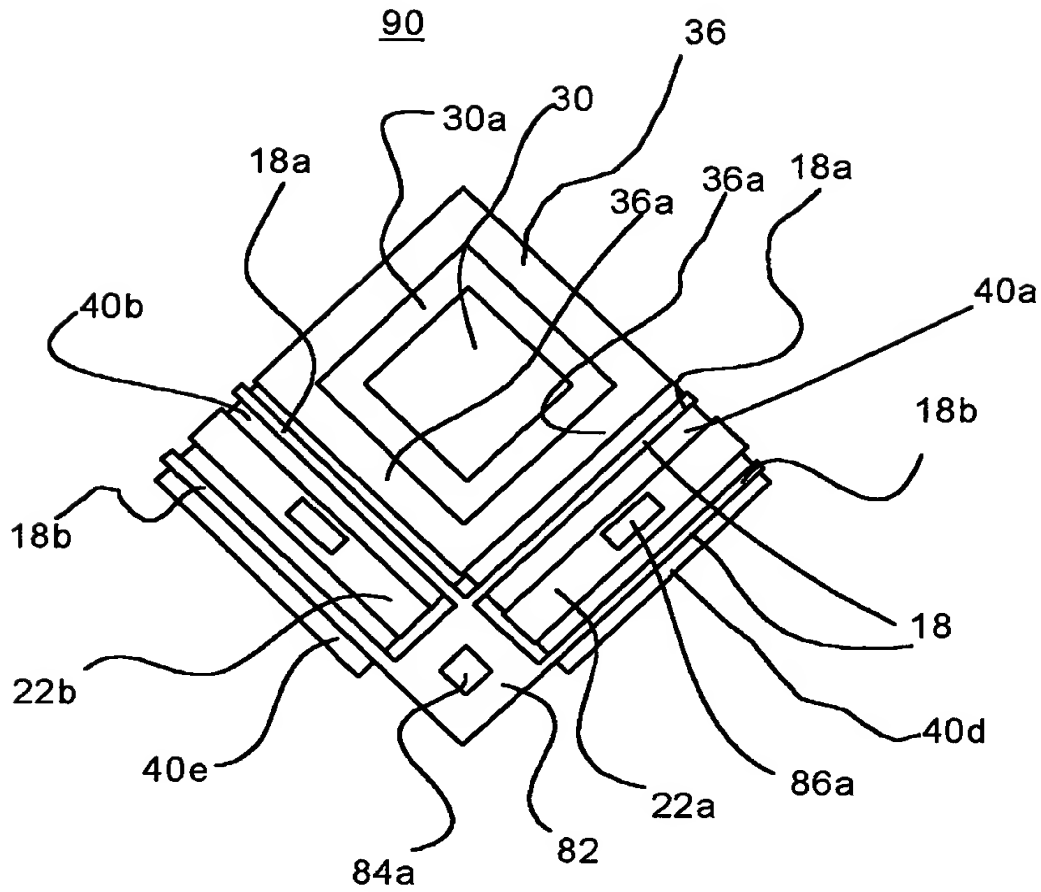
【図 13】



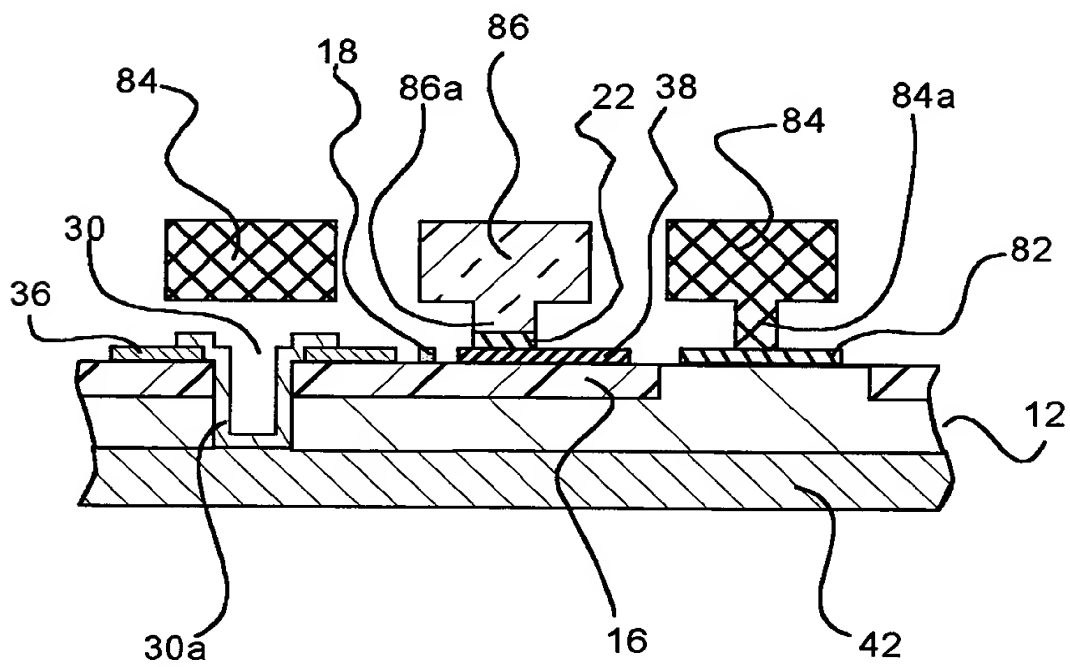
【图 14】



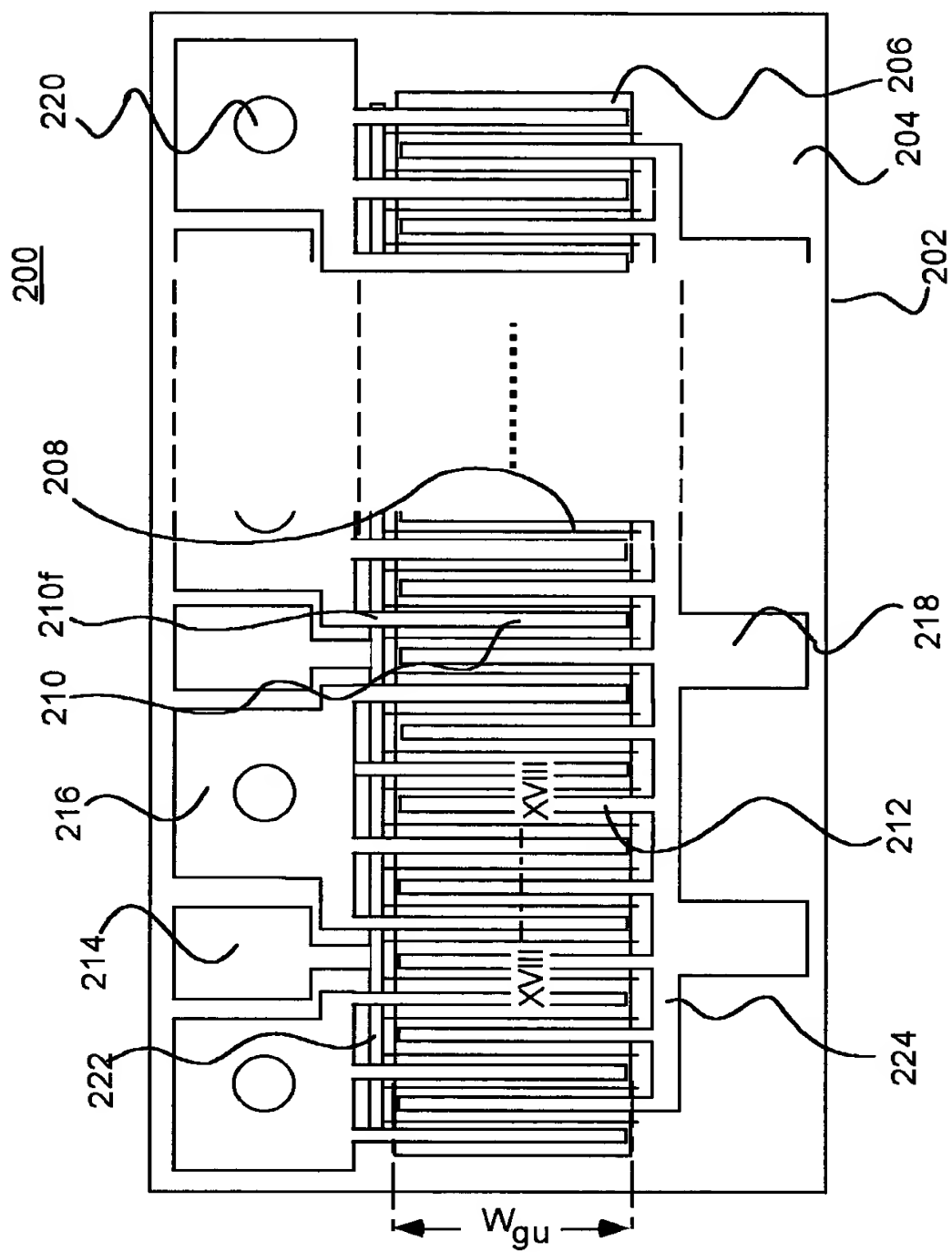
【図 15】



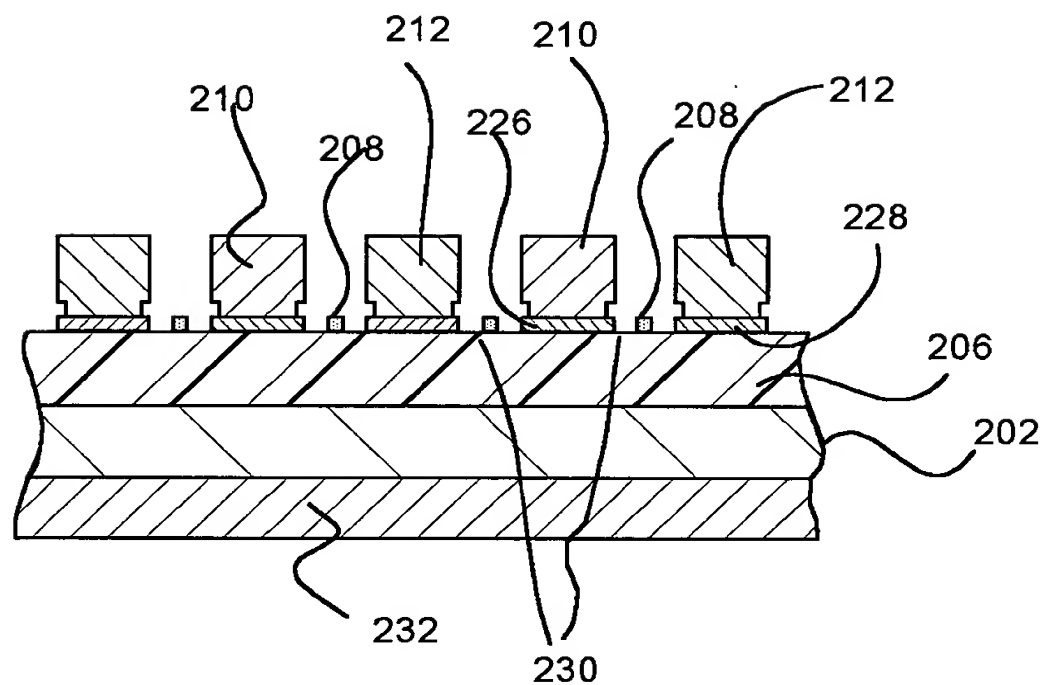
【図 16】



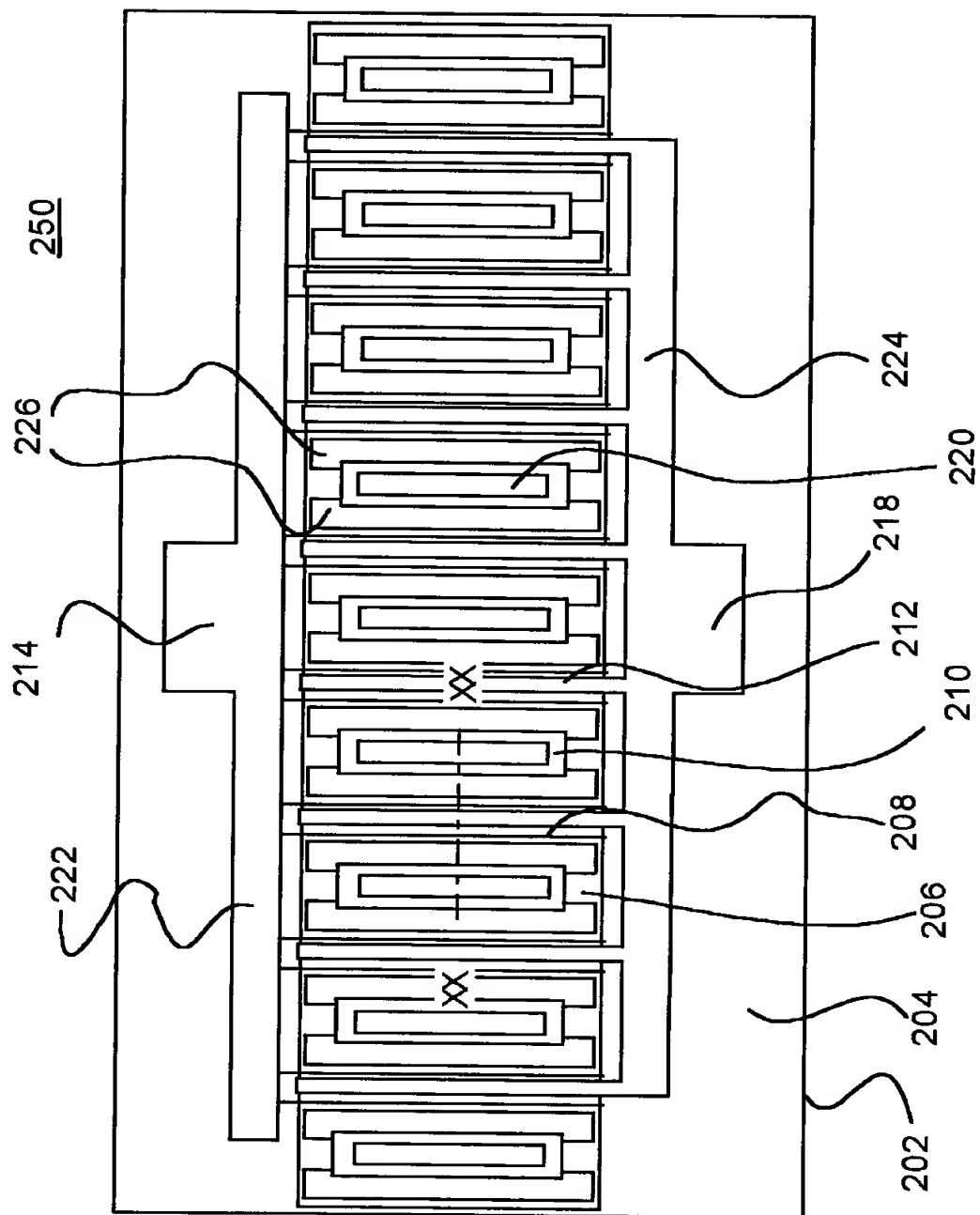
【图 17】



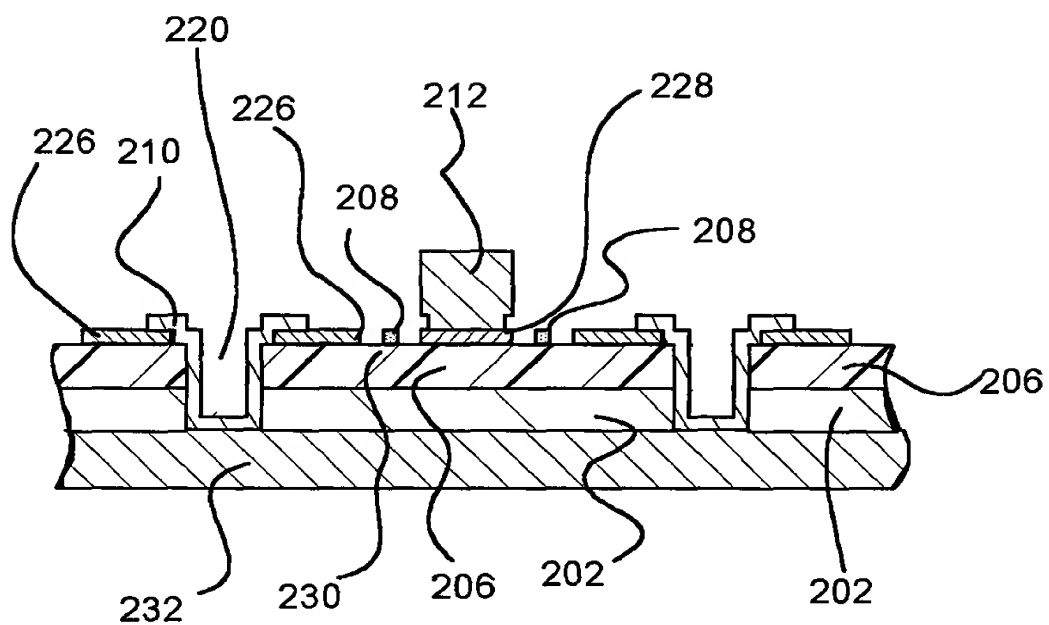
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 デザインルールを変更することなくチップ面積が小さく高出力な半導体装置と、この半導体装置を簡単な工程で製造する製造方法を提供する。

【解決手段】 チャネル幅の延長方向が互いのチャネル幅の一端側で直交する第 1、第 2 のチャネル領域 4 0 a、4 0 b、これに隣接する第 1 のソース電極（ソース配線 2 0 の下層）と第 1 のドレイン電極（ドレイン配線 2 2 の下層）、及び第 1 のゲート電極 1 8 a を有する第 1 の半導体素子と、この第 1 の半導体素子に隣接し第 1 の半導体素子の第 1 のソース電極または第 1 のドレイン電極を第 1 のゲート電極 1 8 a と共有する第 2 のゲート電極 1 8 b を有する第 2 の半導体素子と、を備えたもので、ゲート幅方向の活性領域の長さを長くせずにゲート幅を長くすることができ、小形の高出力 F E T 半導体装置を得ることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社